

Obrazová sada pro předmět Diagnostika číslicových systémů II

Picture set for lectures Diagnostic
of Digital Systems II

Miroslava Fojtová

Bakalářská práce
2005



Univerzita Tomáše Bati ve Zlíně
Fakulta technologická

Touto cestou bych chtěla poděkovat všem, kteří mi pomohli při zpracování této bakalářské práce. Zvláště pak panu Ing. Petru Neumannovi za poskytnutí podkladů, cenné rady a připomínky při vypracovávání této práce.

Prohlašuji, že jsem na celé diplomové práci pracovala samostatně a použitou literaturu jsem citoval/a.

Ve Zlíně, 27. 05. 2005

.....

jméno diplomanta

Abstrakt

Tato bakalářská práce je elektronickým přepisem rukopisné části přednášek pro předmět Diagnostika číslicových systémů II. Rukopisná část přednášek byla určena pro prezentaci pomocí fólií a zpětného projektoru. Po zpřístupnění moderní projekční techniky širokému okruhu přednášejících v nových prostorách univerzity je účelné převést všechny materiály do elektronické podoby. Jednotná elektronická podoba podkladů usnadní modifikaci a aktualizaci přednáškových materiálů a uspoří čas, který může být věnován obsahové stránce přednášek. Z uvedených důvodů práce neobsahuje formální prvky bakalářské práce, jako úvod, závěr nebo popisy obrázků či tabulek, které by rušily charakter prezentace.

Abstract

This bachelor graduation thesis is an electronic transcription of the manuscript lecturing part for the speciality in Microelectronic Diagnostics Part Two. The manuscript lecturing part was prepared on transparent sheets for the presentation with the overhead projector. It is reasonable to transfer all lecturing materials in integral electronic scheme after the modern presentation means has been unlocked for the wide range of lectures in the university new property. The unified electronic scheme for the lecturing groundwork makes its both modification and updating much easier. The spared time can be devoted to the lectures content then. On the ground of above stated reasons, this work does not have the formal thesis structuring like introduction, conclusion or figures and tables description which would interfere with the presentation character.

OBSAH

8. Testování pamětí	6
8.1 Poruchy pamětí RAM	6
8.2 Poruchy paměťové matice	6
8.3 Vnitřní struktura paměti RAM	7
8.4 Typy poruch paměťových obvodů	8
8.5 Projevy poruch	10
8.6 Základní testy pamětí	11
8.7 Typy testů	12
8.8 Vzorky typu N	13
8.9 Vzorky typu N^2	14
8.10 Vzorky typu $N^{3/2}$	15
8.11 Topologické testování	18
8.12 Testování pamětí ROM, PROM	19
9. Testování mikroprocesorů	20
9.1 Výrobní testy	20
9.2 Uživatelské testy	21
10. Testování vstupně výstupních obvodů	23
11. Testování spojových desek	24
11.1 Test neosazených desek a kabeláže	24
11.2 Struktura "In circuit" testeru	25
11.3 Test osazených desek	32
12. Automatizace generování testů	35
12.1 Formy simulace	35
12.2 Vytváření modelu testovací jednotky	35
12.3 Technika simulace poruch	38
12.4 Minimalizace testů	41
13. Kompresie diagnostických dat	43
13.1 Kompresní metody založené na čítání událostí	43
13.2 Příznaková analýza	45
13.3 Příznakový analyzátor	47
13.4 Použití programovatelných automatů v mikroprocesorových systémech	50
13.5 Doplnkové informace k programovatelným automatům	52
14. Návrh pro snadnou diagnostiku	59
14.1 Strukturovaný návrh	60
14.2 Paralelní metody	63
14.3 Heuristické metody	65
14.4 Příklad snadno testovatelné součástky Exclusive – Or	66
14.5 Inicializace paměťových obvodů pomocí synchronizovaných vstupů	67
15. Vestavěné diagnostické prostředky	69
15.1 Diagnostické testy paměti	69
15.2 Použití registrů Bilbo	72
15.3 Generátor testu Hildo	73
16. Boundary Scan	75
16.1 Struktura buňky Boundary Scan	76
16.2 Test propojení	76
16.3 Test čipu	77
16.4 instrukce	80
17. Zabezpečení proti poruchám	83

8. Testování paměti

RAM, ROM, PROM, EPROM,

Poruchy paměti RAM

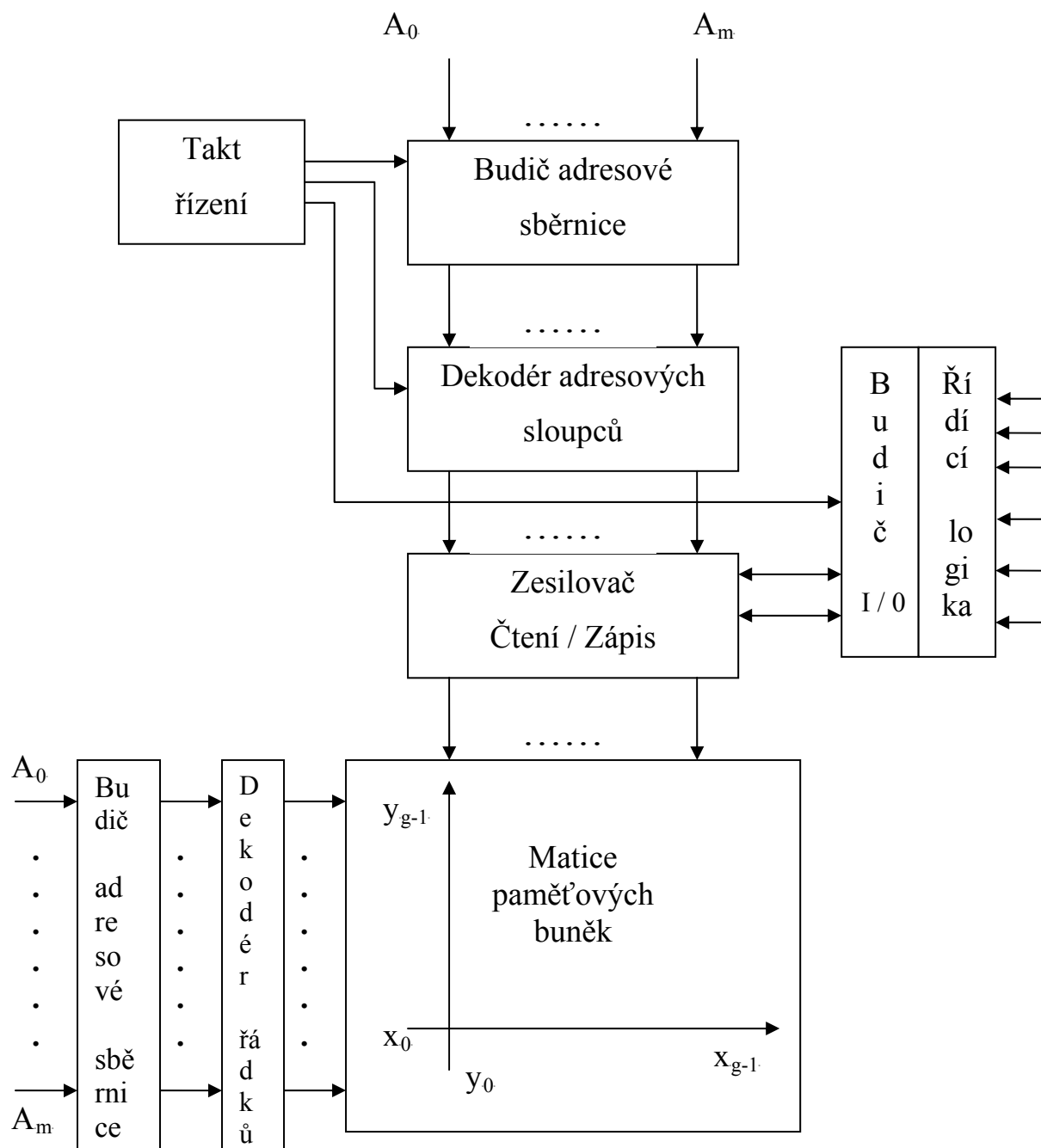
Poruchy mimo paměťovou matici

- Poruchy adresových dekodérů
 - o Přerušování (nelze volat určitou adresu)
 - o Zkrat (několik adres současně)
- Průrazy a svody na vstupech
- Kumulace náboje v budičích nebo dlouhých sběrnicích
 - (velká vybavovací doba)
- Setrvačnost čtecích zesilovačů (nesprávné čtení nul po řadě jedniček a naopak)

Poruchy paměťové matice

- Pasivní poruchy (vliv na chování v ustáleném stavu)
 - o Setrvalý stav bez ohledu na stav okolí (t_0 , t_1)
 - o Poruchy závislé na stavu okolí (Zapisování hodnoty rozdílné od sousedních buněk)

Vnitřní struktura paměti RAM



Typy poruch paměťových obvodů

- Jednoduché stálé poruchy (t_0 , t_1 , z)
- Vícenásobné poruchy společného bodu (napájecí přívod, nulový spoj)
- Jednosměrné poruchy a zatížení parazitními kapacitami (dynamický režim)
- Nestálé poruchy (citlivost na vnější záření)
- Vzájemné ovlivňování buňek vlivem kapacitních vazeb (rušení soustavy buňek, citlivost na vzorek – obsah) [u μP – citlivost na data a citlivost na instrukce]
- Únik náboje z paměťových kapacit

Výskyt:

- paměťové matice
- dekodér adresy
- čtecí zesilovače
- sběrnice (přeslechy)

Parazitní kapacitní vazby – zákonitý důsledek zmenšování vzdáleností mezi prvky

- Aktivní poruchy (Během přechodových dějů – zápis resp. vymazání jiného)
- Dlouhá doba zotavení po zápisu
- Krátká doba obnovení informace (refresh cycle u dynamických MOS)
- Nestálá porucha buňky - α č. (izotopy uranu a thoria v ker. p.)

Vzorky pro testování:

- Vzorek typu N
- Vzorek typu N^2
- Vzorek typu $N^{3/2}$

N – počet bitů paměti, mocniny současně vyjadřují koeficient úměrnosti počtu kroků testu, operce čtení a zápisu se zjednodušeně považují za rovnocenné.

PŘÍKLAD TESTOVÁNÍ VZORKEM $4N^2$:

Kapacita paměti /cyklus

Délka testu

4K /500 ns

34 s

16 K/500 ns

537 s

64 K/500 ns

8589 s ~ 2,4 h

VZORKY TYPU N – rychlé s omezenou detekční schopností

VZORKY TYPU $N^{3/2}$ – kompromis s velkým pokrytím a přijatelnými časovými nároky

Zápis pozadí – čtení buňky

Projevy poruch

- **t₀, t₁, zkratky v datové cestě**
(Vstupní datová sběrnice – paměťová matice – výstupní datová sběrnice)
 - **Dlouhá vybavovací doba**
(Kumulace náboje na kapacitách budičů sběrnic nebo na dlouhých sběrnicích)
 - **Krátká doba obnovy**
(Paměť ztrácí informaci v době kratší než je udaná doba refresh cycle)
 - **Dlouhá doba zotavení po zápisu**
(Chybné čtení bezprostředně po zápisu ⇒ prodloužení cyklu zápis – čtení)
 - **Setrvačnost čtecích zesilovačů**
(Opakované čtení bitů stejné úrovně ⇒ hromadění náboje na parazitních kapacitách ⇒ čtení následujících bitů opačné hodnoty se provede chybně)
 - **Citlivost na vzorek**
(Při určitých vzorcích záznamu do paměťové matice ⇒ poškození – změna informace nebo není možné přečíst informaci ve stanovené době)
- TYPICKÁ PORUCHA PRO
POLOVODIČOVÉ PAMĚTI.

Základní testy paměti

Adresový test

- Ověření stanovených N různých paměťových míst
- Ověření dekodéru adresy a paměťové matice (pro paměti s delším slovem – zápis vlastní adresy na příslušné paměťové místo – dvojkové čtení adres 0 až N-1)
- U 1bit paměťových pouzder větší počet zápisů a čtení. Příklad adresového testu pro paměť 8bit (Počet operací zápisu a čtení celkem: $2N \log_2 N$)

ADRESA	1. krok	2. krok	3. krok
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Typy testů

Šachovnice N

1	0	1	0
0	1	0	1
1	0	1	0
0	1	0	1

- zkratky mezi buňkami
- poruchy v A0

Sloupce N

1	0	1	0
1	0	1	0
1	0	1	0
1	0	1	0

- při refresh po řádcích nejnáročnější případ – největší počet přechodů

Řádky N

1	1	1	1
0	0	0	0
1	1	1	1
0	0	0	0

Parita N

	00	01	10	11	
00	1	0	1	0	← Adresa sloupce
01	1	0	1	0	
10	1	0	1	0	
11	1	0	1	0	
					↑ Adresa řádku

Detekce poruch

- Dekodér adres
- Paměťové buňky

Diagonála N

Diagonála posouvaná $4N^{3/2}$

1. zápis

2. zápis

3. zápis

0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0

1	0	0	0
0	0	0	1
0	0	1	0
0	1	0	0

0	1	0	0
1	0	0	0
0	0	0	1
0	0	1	0

- Čtení po sloupcích
- Opakování s inverzní diagonálou
- TEST SETRVAČNOSTI ČTECÍCH ZESILOVAČŮ

Vzorky typu N

Zápis → čtení: Chybí informace o funkci dekodéru adresy

Řádky a sloupce střídavě 0 a 1
ŠACHOVNICE
PARITA ADRESY
DIAGONÁLA

} Délka testu:
4N

Postupující 0 a 1 (March, March pat)

1. Zápis pozadí (0)
2. Čtení i-té buňky a zápis inverzní hodnoty do této buňky (i z 1 N)
3. Čtení i-té buňky a zápis inverzní hodnoty do této buňky (i z N 1)
4. Zápis pozadí (1)
5. Opakování bodů 2 a 3

Délka testu 10N

Detekce chybného výběru jednotlivých buňek a chybného zápisu do nich.

Vzorky typu N^2

Putující 0 a 1 (walking 1,0 WALKPAT)

1. Zápis pozadí (0)
2. Zápis inverzní hodnoty do i-té buňky, čtení celého zbytku matice, čtení i-té buňky a zápis původní hodnoty do ní (pro $i=1 \dots N$)
3. Zápis pozadí (1)
4. Opakování bodu 2

Délka testu $2(N^2 + N)$

Detekce vícenásobného výběru buňky, vazeb v rámci sloupců, pomalého zotavení čtecích zesilovačů.

GALPAT (Gallop Pattern)

1. Zápis pozadí (0)
2. Zápis inverzní hodnoty do i-té buňky, čtení buňky v pořadí: $i, i+1, i, i+2, \dots, i+N-1, i$, zápis původní hodnoty do i-té buňky pro ($i=1 \dots N$)
3. Zápis pozadí (1)
4. Opakování bodu 2

Délka testu $2(2N^2 + N)$

Detekce chyb přechodu mezi různými adresami, setrvačnost čtecích zesilovačů, přeslech v rámci sloupce

Vzorky typu $N^{3/2}$

Posouvaná diagonála (DIA PAT, shifted diagonal)

Pro čtvercovou matici s N buňkami je diagonála tvořena buňkami s adresami:

$$i, i + \sqrt{N} + 1, i + 2(\sqrt{N} + 1), \dots, i + (\sqrt{N} - 1)(\sqrt{N} + 1)$$

Délka této diagonály je vždy $\sqrt{N}$ $\Rightarrow$ Skládá se ze dvou úseků kromě případu hlavní diagonály

1. Zápis pozadí (0)
2. Zápis inverzních hodnot do všech buňek diagonály začínající v i -tém prvku. Čtení všech buňek, zápis původních hodnot do všech buňek diagonály začínající v i -tém prvku (pro $i=1 \dots \sqrt{N}$)
3. Zápis pozadí (1)
4. Opakování bodu 2

Délka testu $2(N^{3/2} + 2N)$

DETEKUJE: Poruchy fce adresových dekodérů, výběr většího počtu buňek v důsledku kapacitních vazeb mezi výběrovými vodiči.

Nemožnost adresovat určitou buňku se projeví chybnou hodnotou na diagonále nebo na pozadí.

Redukovaný GALPAT

Pro každou testovanou buňku – čtení sloupce a řádku v němž tato buňka leží + bezprostřední sousedé na úhlopříčkách.

Délka testu $2(4N^{3/2} + 8N)$

Detekční schopnosti obdobné.

Pokud je malá pravděpodobnost interakce mezi buňkami, netestuje se.

Pochodující 1 nebo 0 (marching 1,0)

9N

1	1	1	1
1	1	→ 0	0
0	0	0	0
0	0	0	0

Č0 – Z1 – Č1

Č1 – Z0 – Č0

- Detekce poruchy adres dekodéru
- Detekce vlivu zápisu do určité buňky na obsah jiné buňky

Postupující 1 nebo 0 (walking 1,0)

$2N^2 + 8N$

0	0	0	0
0	1	→ 0	0
0	0	0	0
0	0	0	0

Pozadí 0

1. buňka Z1, ostatní Č0

1. buňka Č1, Z0

2. buňka Z1, Č0

3. buňka Č1, Z0

.

.

.

Pozadí 1

Opakování

- test vzájemného ovlivňování buňek
- činnost dekodéru
- setrvačnost čtecích zesilovačů

GALPAT I. (galloping pattern 1,0, ping-pong)

$4N^2 + 6N$

Pozadí 0

1. buňka Č0, Z1

Čtení 1. buňka - 2. buňka - 1. buňka - 3. buňka - 1. buňka - 4. buňka

1. buňka Z0

2. buňka Č0, Z1

Opakování s opačnými daty

- Efektivní kontrola činnosti dekodéru adres
- Citlivost na vzorek

Diagonální GALPAT (GALDIA)

Redukce vzorku GALPAT – čtené buňky jsou rozloženy na diagonále.

1. Zápis pozadí (0)
2. Čtení buňky s adresou (i-1) a i, zápis inverzní hodnoty do buňky s adresou i, čtení buňky s adresou i střídavě se všemi buňkami téže diagonály (pro $i=1 \dots N$)
3. Zápis pozadí (1)
4. Opakování bodu 2

Délka testu $2(3N^{3/2} + 5N)$

Detekuje :

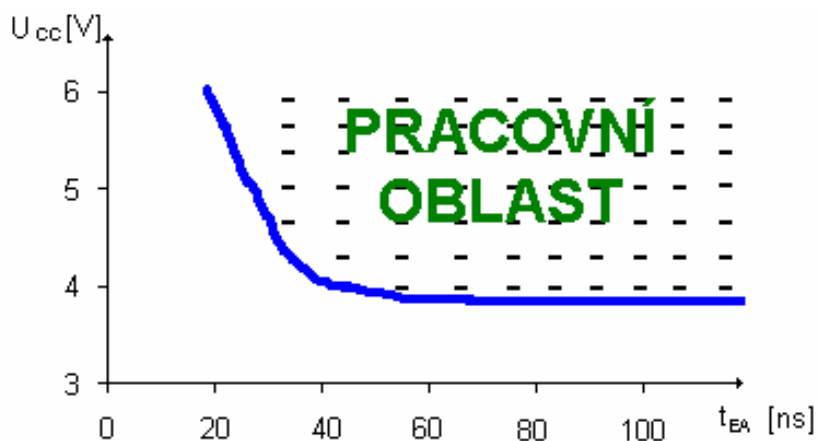
- poruchu adresových dekodérů
- dlouhou dobu zotavení čtecích zesilovačů
- přeslechy v rámci sloupce

PARAMETRICKÉ TESTY

Test doby obnovení dynamických pamětí

- Zastavení hodin
- Zapisování opačné hodnoty do obou sousedních řádků po celý interval měření (čtení řádku po sloupcích)

VYHODNOCENÍ: Diagram pracovní oblasti



t_{EA} (chip enable access time) – Vybavovací doba od okamžiku výběru čipu

U_{CC} – napájecí napětí

TOPOLOGICKÉ TESTOVÁNÍ

Testy typu $N^{3/2}$

MODEL VZÁJEMNÉHO OVLIVNĚNÍ

		X			
	X	X	X		
X	X	B	X	X	X
	X	X	X		
		X			
		X			

	X	X	X		
	X	B	X		
	X	X	X		

		X			
	X	B	X		
		X			

B - postupující 1 nebo 0

Testování v rámci modelu X

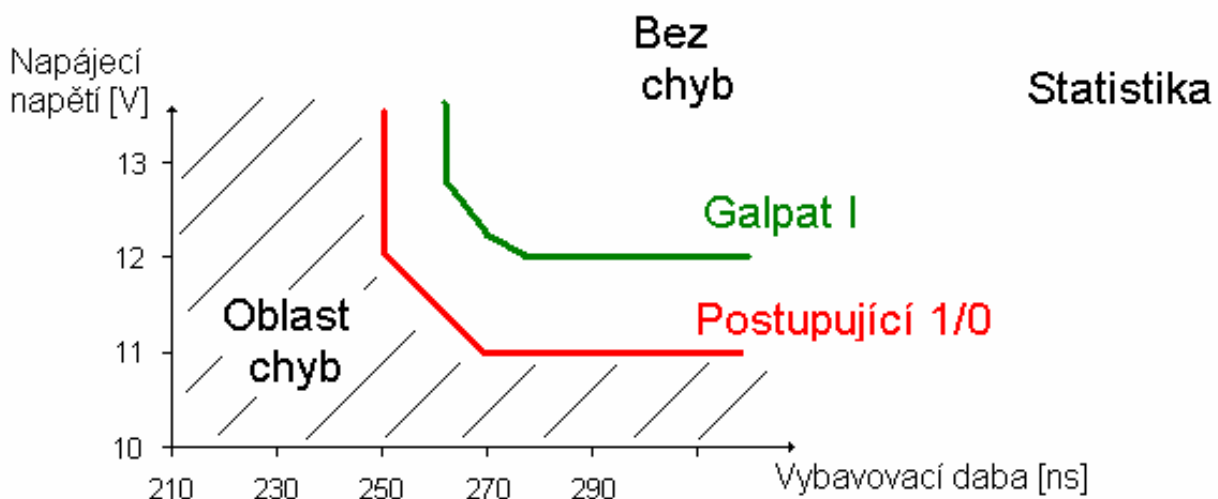
2 algoritmy { Postupné testování buňky B
Adresace míst ovlivňujících X

Algoritmy jsou cílem minimalizace

MOTÝLEK – způsob čtení

SCRAMBLING

PARAMETRICKÉ TESTY



TESTOVÁNÍ PAMĚTÍ ROM, PROM

Kontrola všech paměťových míst – N kroků –
triviální test

VSTUPNÍ POSLOUPNOST (posloupnost adres)

je společná

VÝSTUPNÍ POSLOUPNOST (odezva)

závisí na zapsaném obsahu

KOMPARAČNÍ METODA

Kontrolní součet

Příznak

PARAMETRICKÉ TESTY

- Vybavovací doba od adresy
- Vybavovací doba od výběru obvodu
- Doba zotavení od výběru

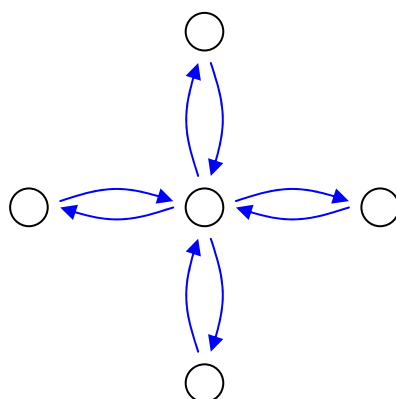
PROM – přidáný řádek a sloupec vyvolaní
zvýšeným napětím na určitém vstupním vodiči

TESTOVACÍ VZORKY PRO RAM:

		X			
	X	X	X		
X	X	B	X	X	X
	X	X	X		
		X			
		X			

	X	X	X		
	X	B	X		
	X	X	X		

		X			
		X			
	X	B	X		
		X			



9. TESTOVÁNÍ MIKROPROCESORŮ

SOUČÁST OBLASTI TESTOVÁNÍ OBVODŮ LSI
a VLSI

Tradiční metody selhávají především
časových důvodů

Omezená přístupnost struktury obvodu zvenčí (růst
objemu logiky na jeden vývod)

Vestavěné diagnostické prostředky nejsou dosud
úplně běžné

Klasické testování 
Zkoušeče
Aplikační zařízení

VÝROBNÍ TESTY

- Testy čipů (přímo na plátku – wafer)
 - o Statistický funkční test (přerušení, zkratky, svody, průrazy)
 - o Dynamický test (instrukce μP v různém pořadí)
 - o Test při mezních podmínkách ($2 \times U_{nom}$ průrazy)
- Testy po zapouzdření (třídění podle parametrů)
 - o Statistický parametrický test (svody, vstupní a výstupní proudy, odběr)
jako zkouška napětí, teplota
 - o Dynamický test (nepříznivé napěťové a časové podmínky)

- Testy spolehlivosti
 - o Napěťové namáhání ($2 \times U_{nom}$)
 - o Dynamické zahořování (48 hod při teplotě 125°C – buzení v jednoduchém zapojení – větší část μP je aktivní)
 - o Testy životnosti (1000 hod, 5000 hod, více při těžké teplotě – komora – řídicí systém i registrace vně)

UŽIVATELSKÉ TESTY

- Jednouúčelový tester pro uživatele příliš nákladný
- Nezná přesnou strukturu
- Test nutno vytvořit v jazyce testovaného μP

Testy strukturní a funkční

METODA AKTIVACE FUNKČNÍCH BLOKŮ

1. RESET
2. KONTROLA ČÍTAČE INSTRUKCÍ
3. KONTROLA ADRESACE REGISTRŮ
(EXISTENCE, JEDNO 2H.)
4. KONTROLA PŘESUNŮ MEZI REGISTRY
5. KONTROLA UKAZATELE
ZÁSOBNÍKOVÉ PAMĚTI
6. KONTROLA FUNKCE ALU
7. KONTROLA STŘADAČE
8. KONTROLA DEKODÉRU INSTRUKCÍ

APLIKAČNÍ PROGRAM – nejjednodušší varianta funkčního testu

PSEUDONÁHODNÁ POSLOUPNOST INTRUKCÍ
(vyjmutí zakázaných operačních znaků)

VARIANTA SAMOSTATNÝCH NEBO KOMBINOVANÝCH TESTŮ FUNKČNÍCH BLOKŮ μ P

- TEST NEZÁVISLOSTI LINEK VNITŘNÍCH A VNĚJŠÍCH SBĚRNIC – test schopnosti nezávislého přenosu údajů
- TEST ŘÍDÍCÍCH OBVODŮ μ P (DEKODÉR INSRUKCÍ, ČASOVACÍ A ŘÍDÍCÍ LOGIKA) – nezávislost řídících linek, funkční odezva na řídící kód
- TEST PŘEPÍNACÍCH OBVODŮ – testování správnosti přepínání datových zdrojů na sběrnici μ P, jednoznačnosti čtení a zápisu
- TEST REGISTRŮ A VNITŘNÍ PAMĚTI μ P – nezávislost a jednoznačnost přiřazení registrů a totéž pro bity uložené informace
- TEST ARITMETICKO – LOGICKÉ JEDNTKY – test správnosti vykonávaných operací, funkce akumulátoru a obvodů pro generování příznakových bitů
 - o Funkce sčítačky – sčítání, odčítání s přenosem a bez přenosu do vyššího řádu
 - o Vytváření doplňku obsahu akumulátoru
 - o Test logické části (kombinační obvody)

10. TESTOVÁNÍ VSTUPNĚ- VÝSTUPNÍCH OBVODŮ

- TESTOVÁNÍ VE ZKOUŠEČI
- ZJEDNODUŠENÝ FUNKČNÍ TEST –
zařazení obvodu do prověřeného modulu
včetně μP a využití EPROM s připraveným
testem

OBVODY PRO PARALELNÍ I/O

SÉRIOVÝ PŘENOS DAT
ŘADIČE
ŘÍZENÍ MONITORU
SPECIÁLNÍ FUNKCE

- řízení přístrojové sběrnice, DMA, přerušení,
komunikační karty,

Rozumným řešením je testování u výrobce
(dodavatele) a věrohodný doklad o výsledku i
principu metodiky testování

11. TESTOVÁNÍ SPOJOVÝCH DESEK

TEST NEOSAZENÝCH DESEK A KABELÁŽE

zkratky, přerušení, problémy vícevrstevných desek

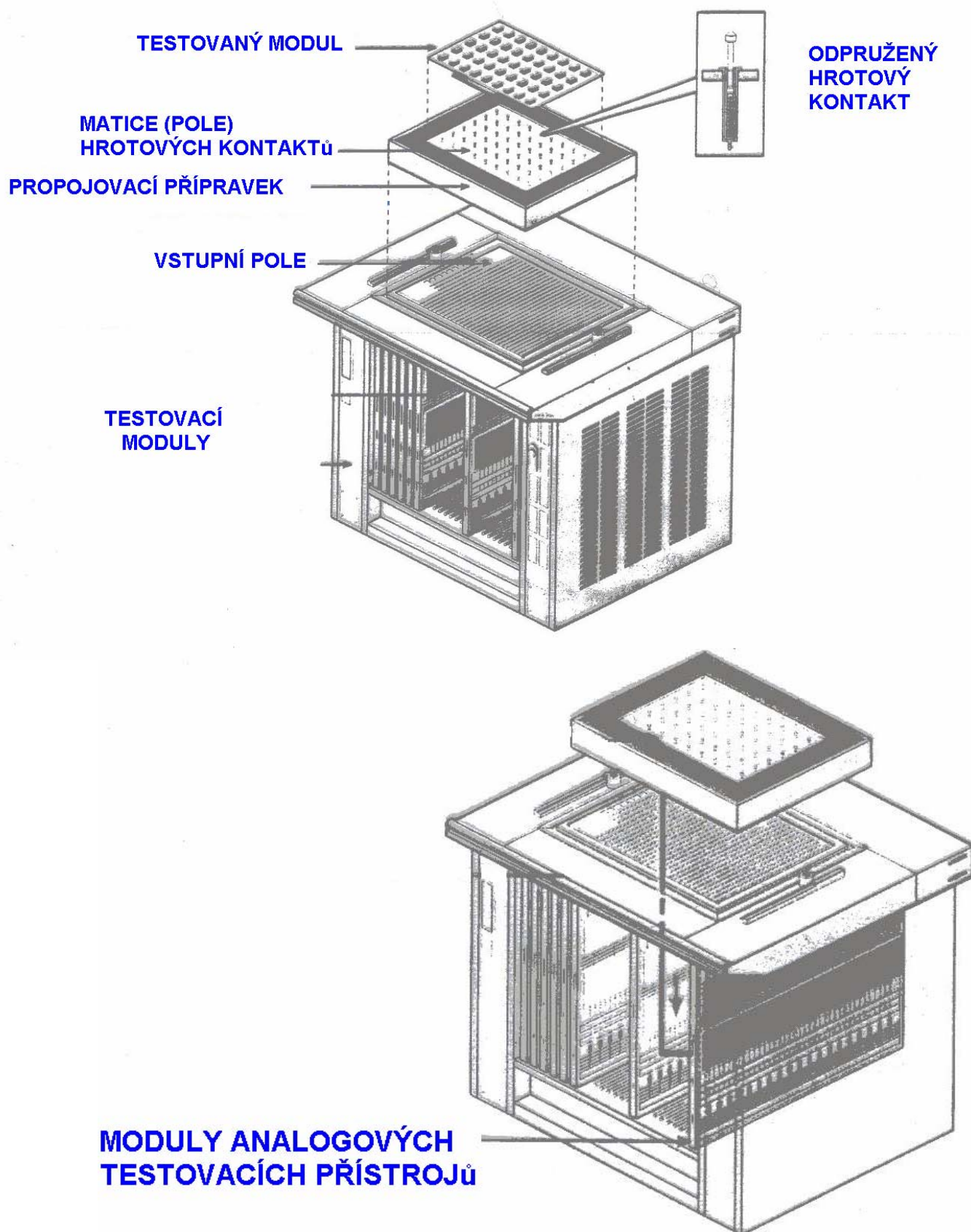
testery s jehlovými adaptéry

- Samostatné odpružení jehel (1 – 2N)
- Izolační odpor mezi sousedními jehlami min. 1000 M Ω , el. pevnost min. 500 V
- Počet jehel 10^3 - 10^5
- Propojovací matice – postupné připojování dvojic jehel k ohmmetru
- Generování testu na základě obvyklého návrhu spojovacích cest nebo systém samočinného učení

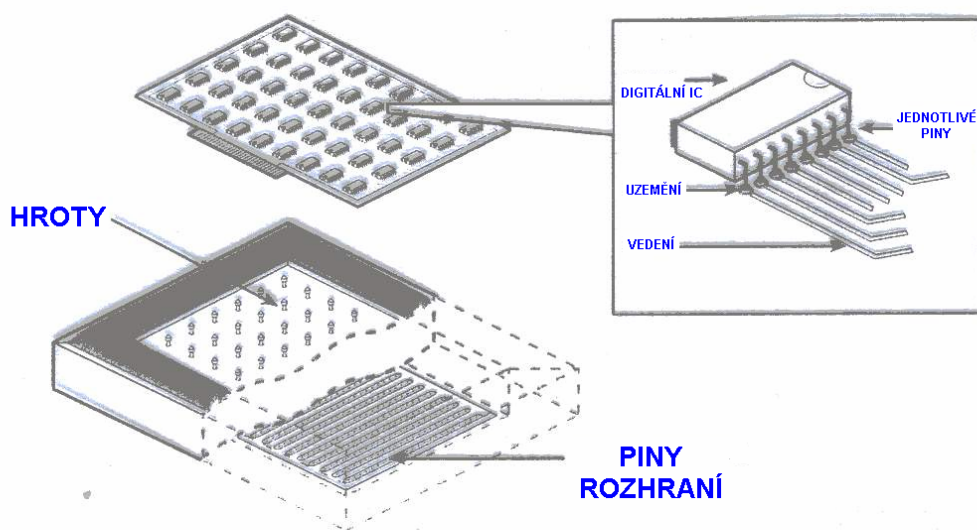
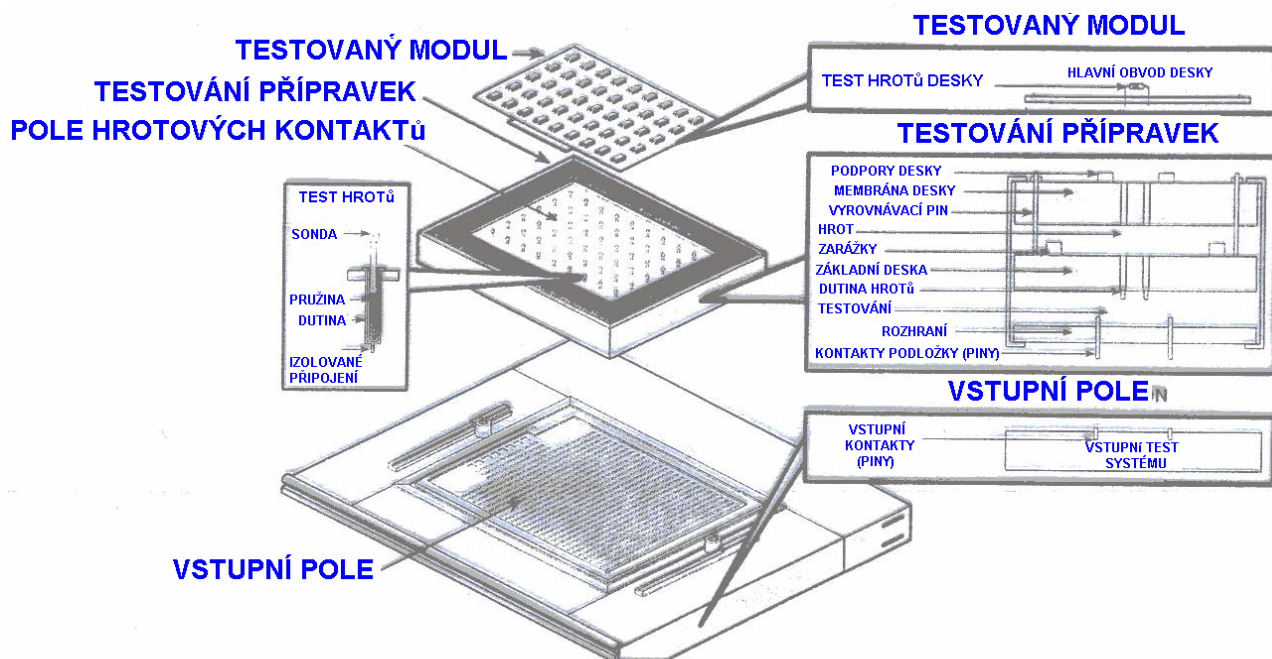
KABELÁŽ – rozdíl pouze v připojovacím adaptéru

KONTAKTNÍ ROŠTY – sada testovacích desek s přepojovacími maticemi, řídicí vodiče, časový mpx

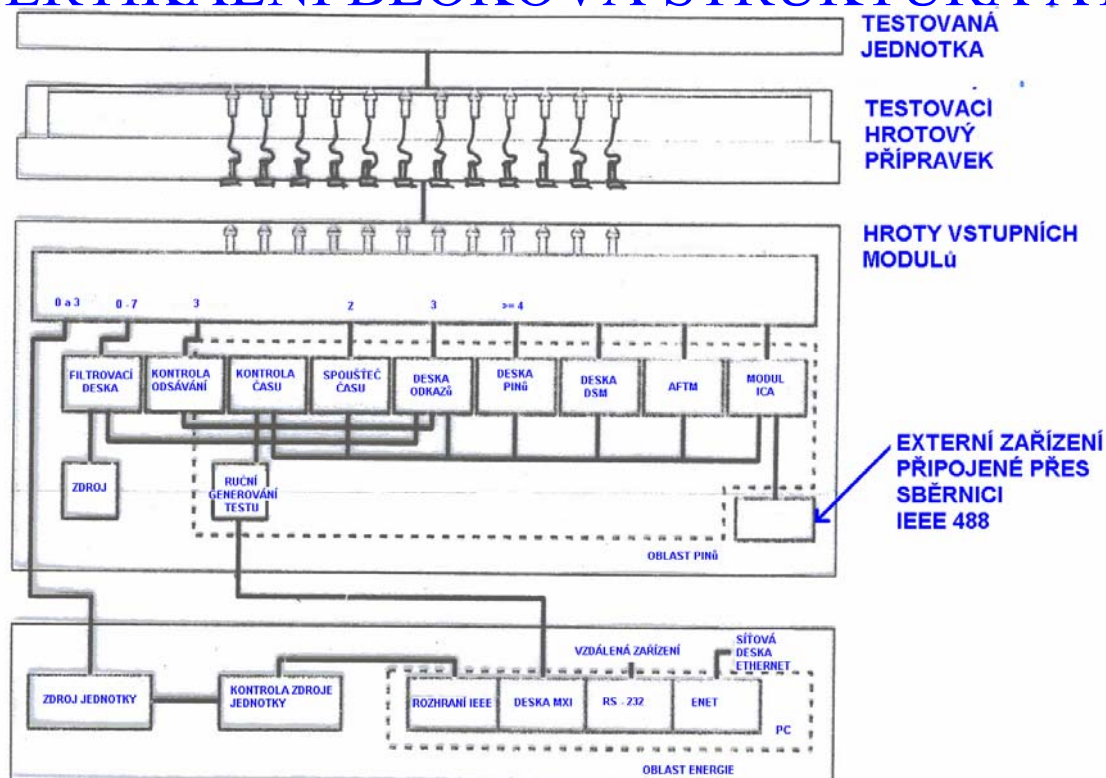
STRUKTURA “IN CIRCUIT” TESTERU (vnitroobvodové testování)



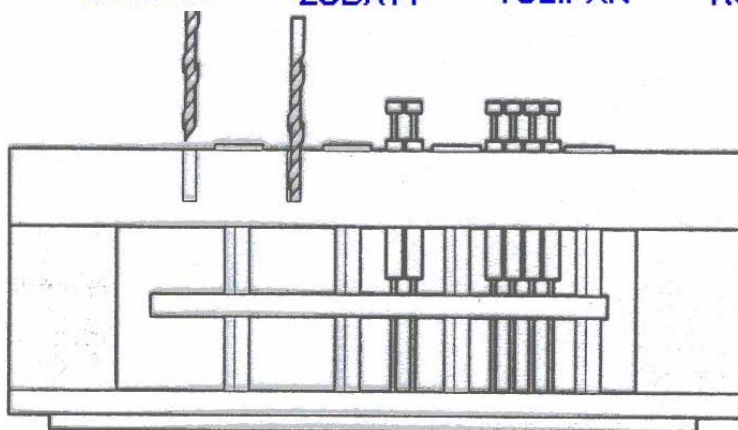
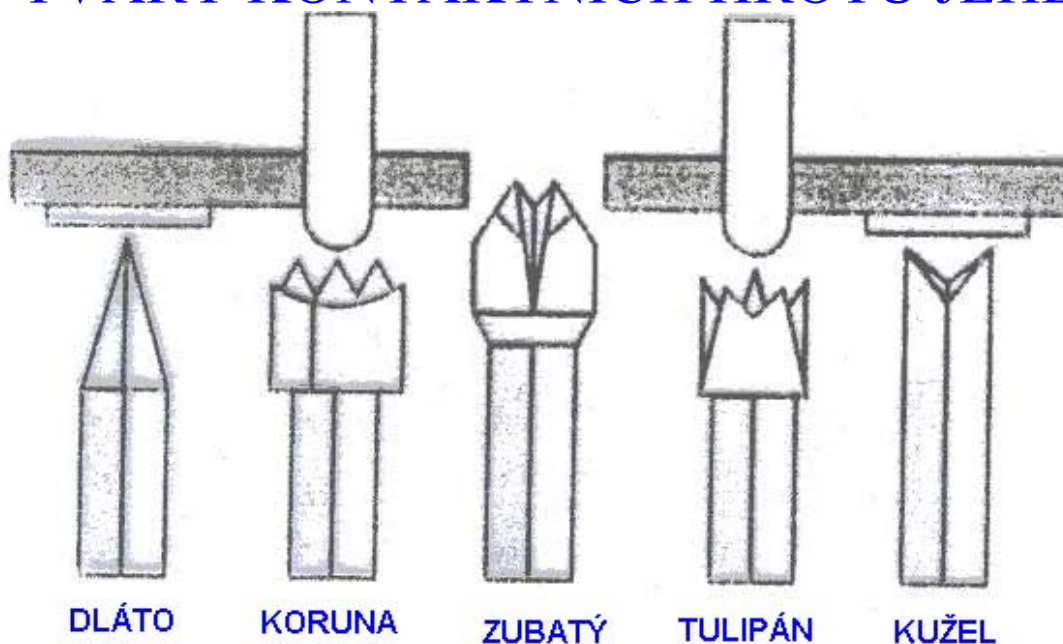
DETAILY STRUKTURY “IN CIRCUIT” ATE



VERTIKÁLNÍ BLOKOVÁ STRUKTURA ATE



TVARY KONTAKTNÍCH HROTŮ JEHEL



BEZDRÁTOVÉ PŘIPOJENÍ

PLOŠNÁ STRUKTURA VSTUPNÍHO ADAPTÉRU

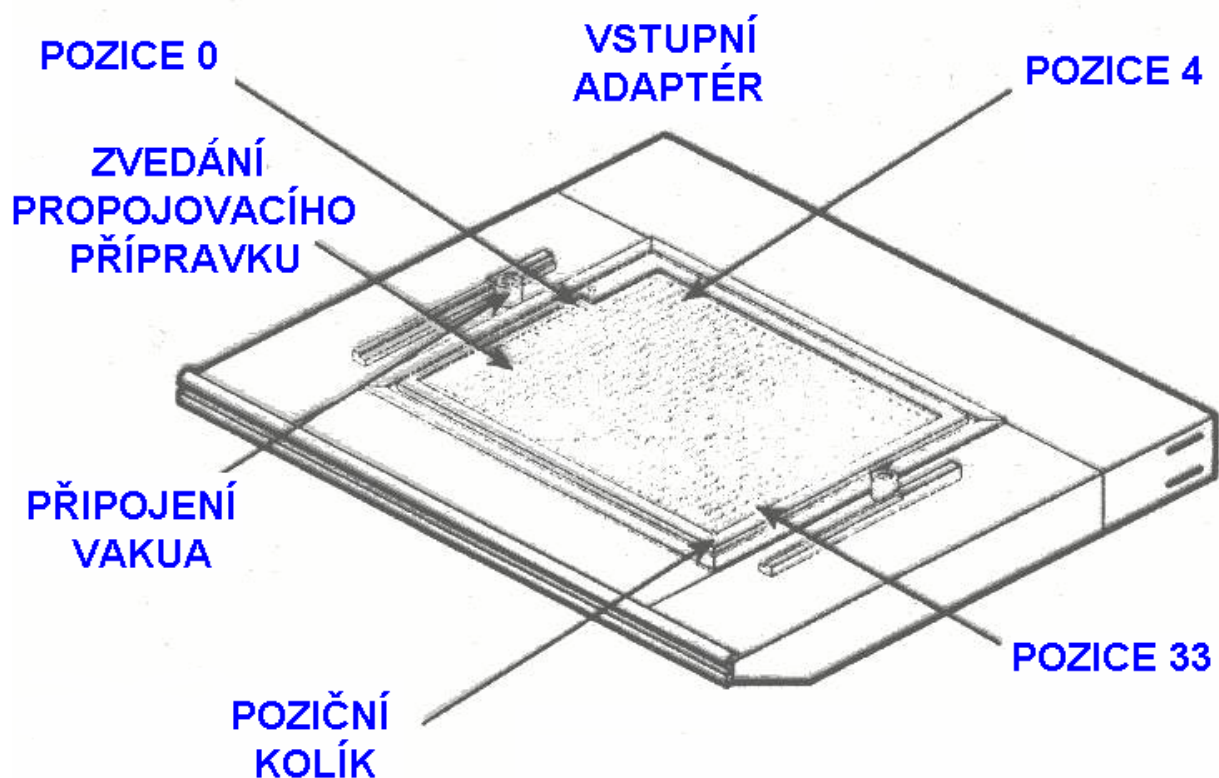
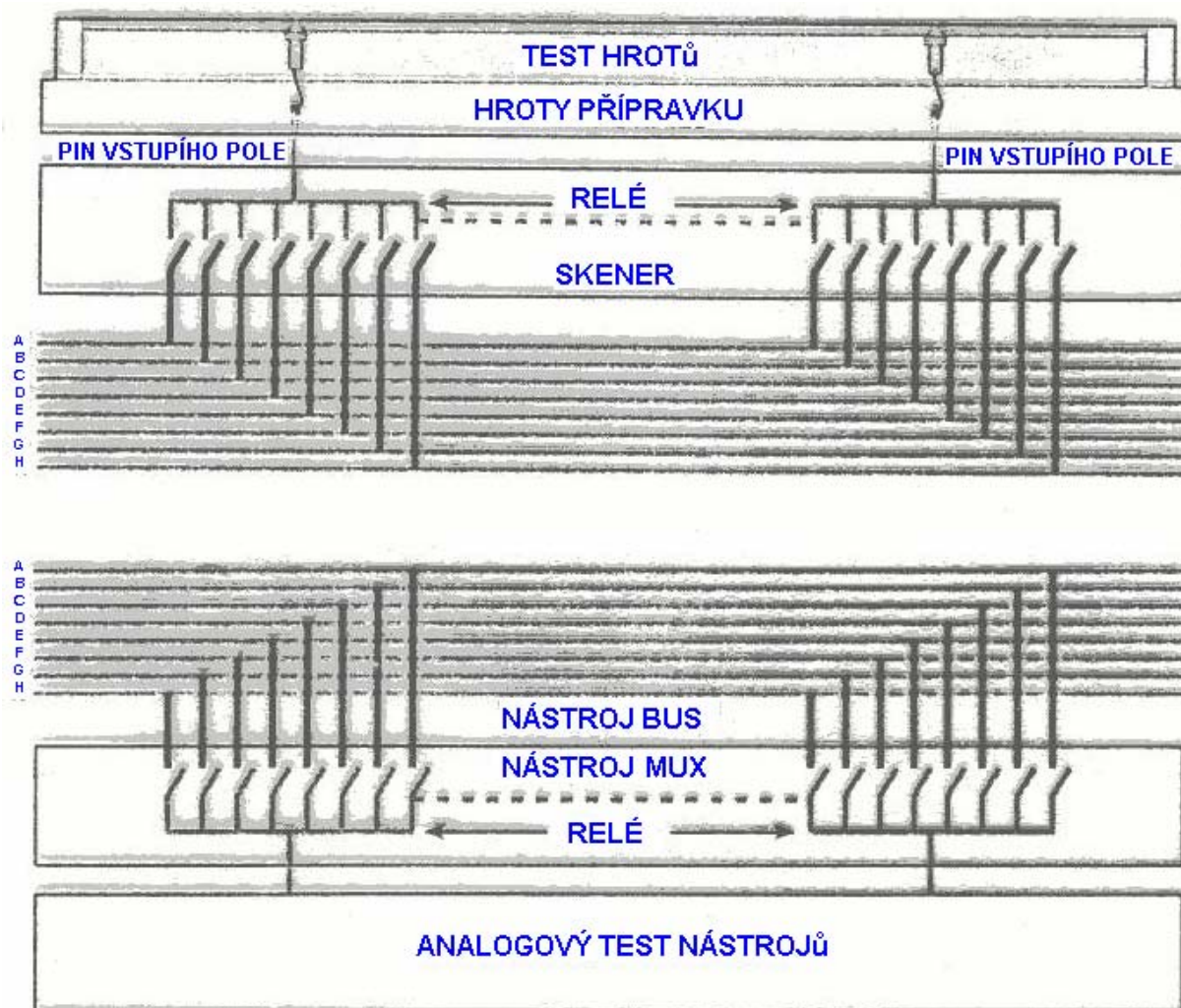


SCHÉMA PŘEPÍNANÉHO SDÍLENÍ TESTOVACÍCH MODULŮ

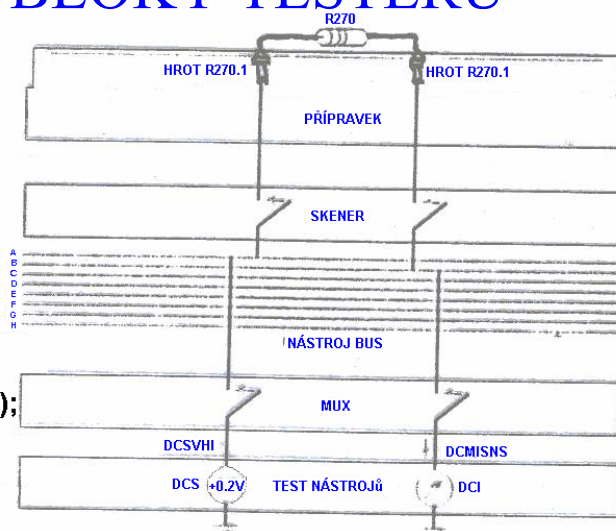


PŘÍKLAD NASTAVENÍ KONKRÉTNÍHO PROPOJENÍ TESTOVANÉ SOUČÁSTI S PŘÍSLUŠNÝMI BLOKY TESTERU

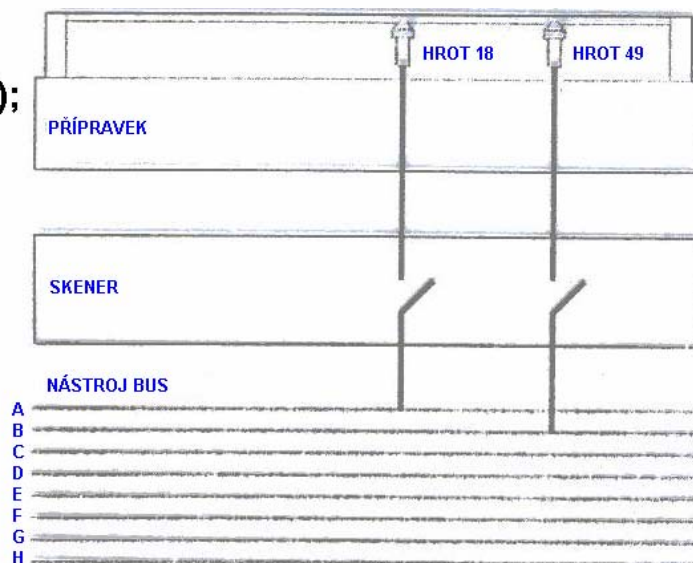
SET SCAN AT
(CHA=R270.1:CHB=R270.2);

SET MUX AT
(CHA=DCSVHI:CHB=DCMISNS);

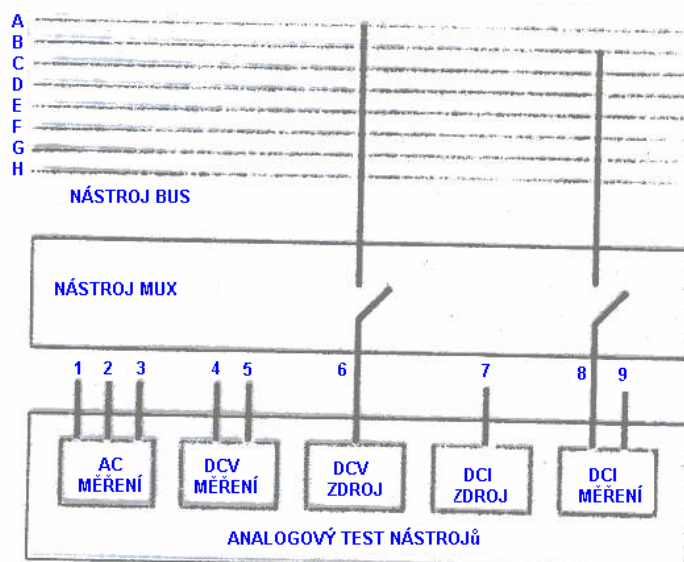
SET DCS V=0.2 V
MEAS DCI INTO RESULT



SET MUX AT
(CHA=270.1:CHB=R270.2);

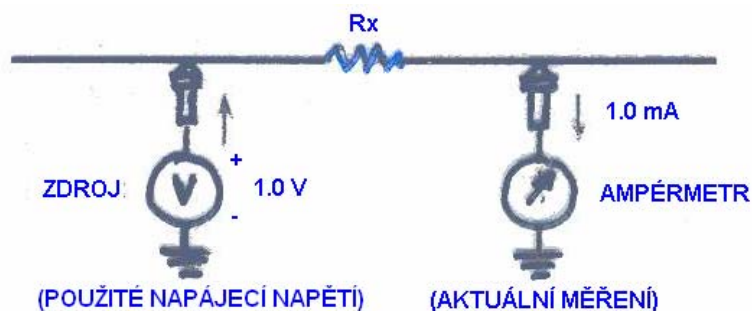


SET MUX AT
(CHA=R270.1:CHB=R270.2);

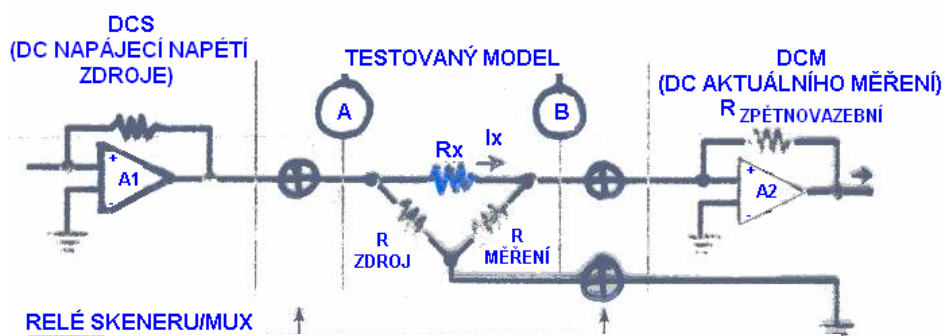


VARIANTY PŘIPOJENÍ PŘI TESTOVÁNÍ JEDNOTLIVÝCH SOUČÁSTÍ OSAZENÉ PCB

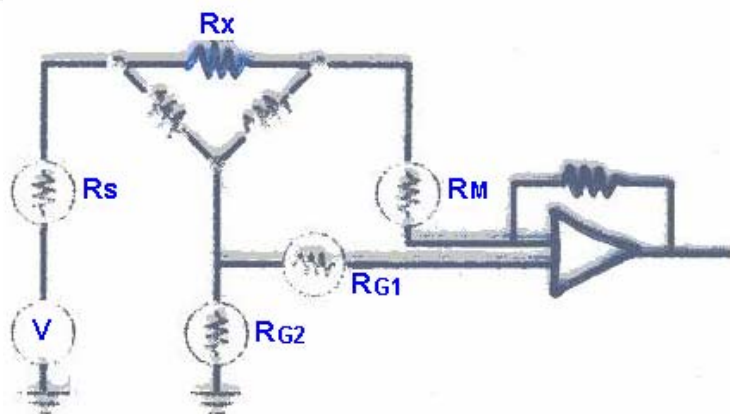
2-BODOVÉ –
Ignoruje vliv okolních
součástí



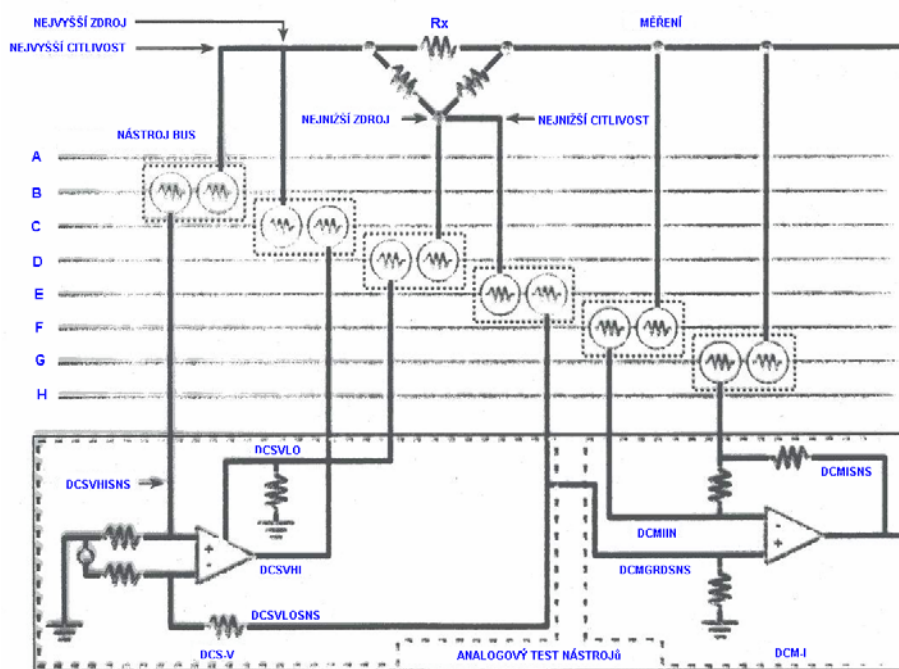
3-BODOVÉ –
Bere v úvahu okolní
součásti, ale ignoruje
odpor spojení MUX
a skeneru



4-BODOVÉ – Bere
v úvahu okolní součásti
i odpor skeneru a MUX

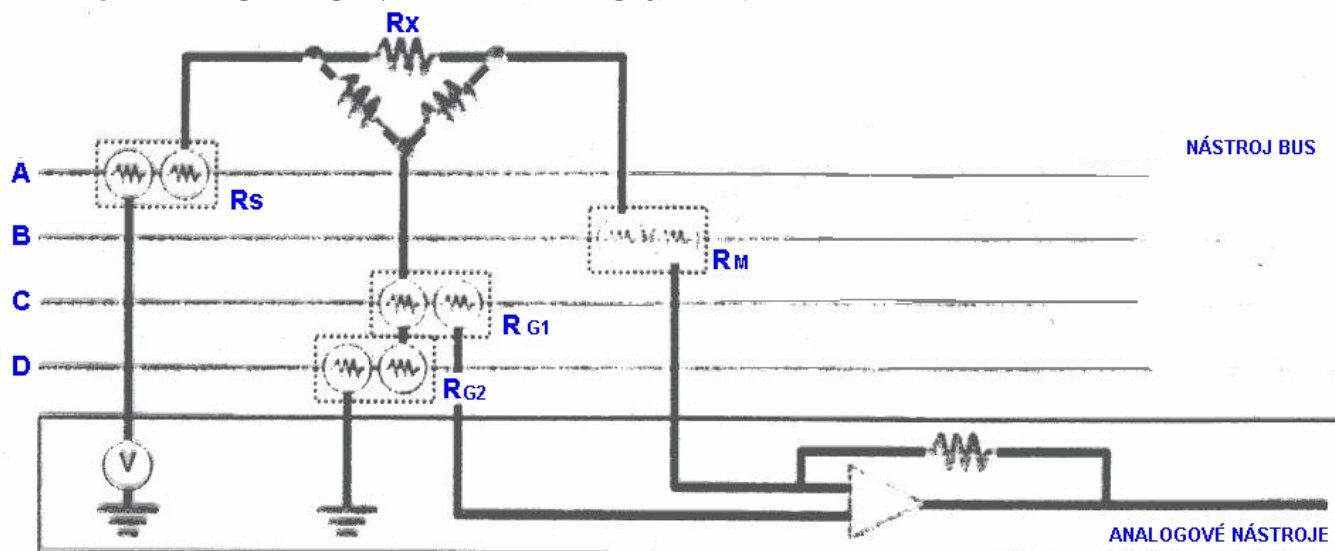


6-BODOVÉ –
Přidává dva
dodatečné MUX
kanály, bere v
úvahu vlastní
odpor zdroje a
měřících obvodů

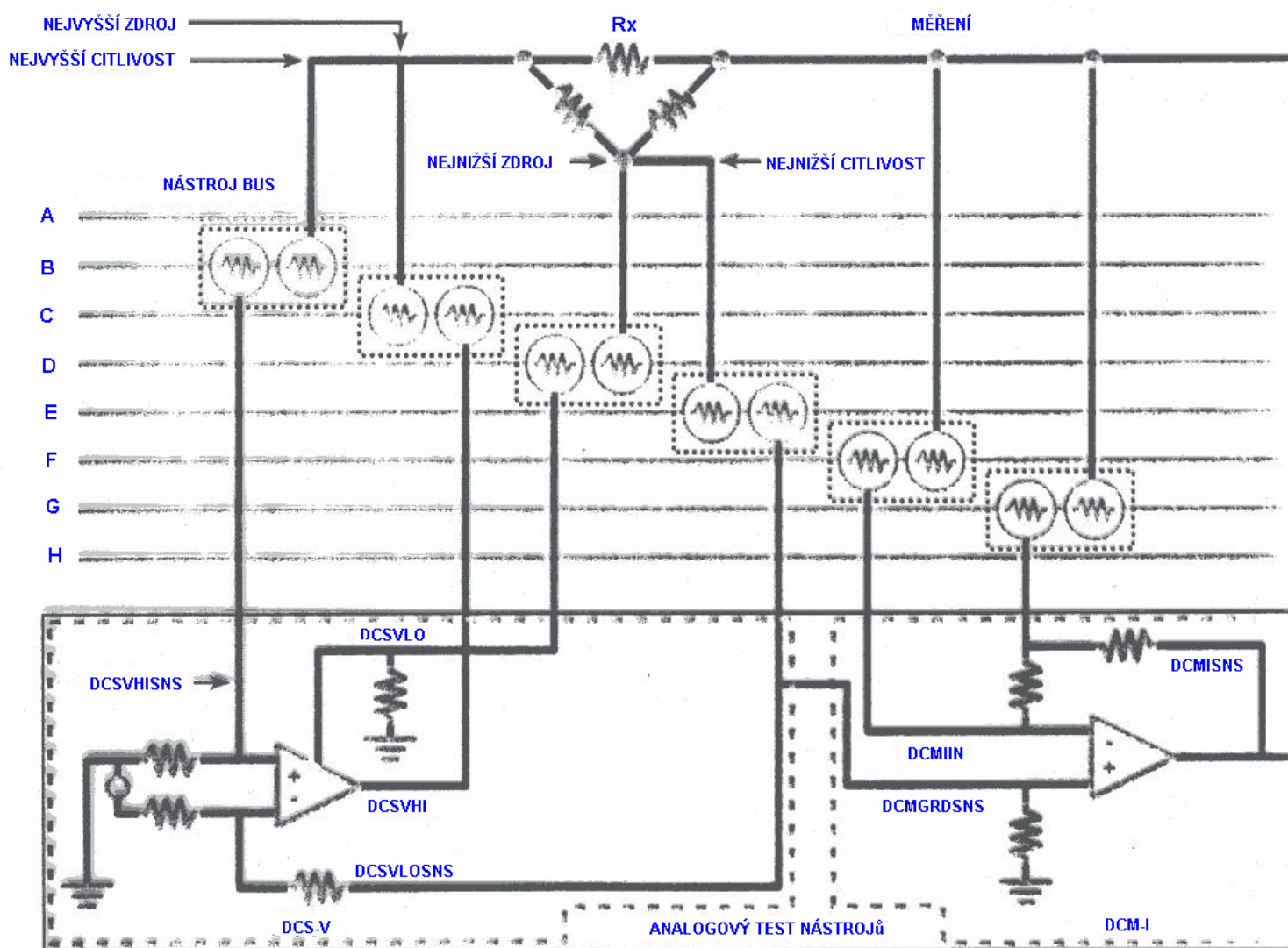


PRINCIP MINIMALIZACE VLIVU OKOLNÍCH SOUČASTÍ

3 - BODOVÉ PŘIPOJENÍ



6 - BODOVÉ PŘIPOJENÍ



TEST OSAZENÝCH DESEK

KONEKTOROVÉ ZKOUŠEČE

+ pomocný konektor

+ logická sonda (hrotová, klešťová)

RUČNÍ - vkládání vstupních vektorů
(přepínač)

- vizuální signalizace odezvy

AUTOMATICKÉ – knihovna testů

1. Detekční test
2. Lokalizace – Výčet možných poruch +
pravděpodobný výskyt
3. Analýza topologie T. O.
4. Simulace zjištěné poruchy v reálném čase

ŘÍZENÁ SONDA

- lokalizace v interaktivním režimu (počítač určuje souřadnice míst podle stávající odezvy, kam sondu připojit)
- simulace správné odezvy daného místa v reálném čase

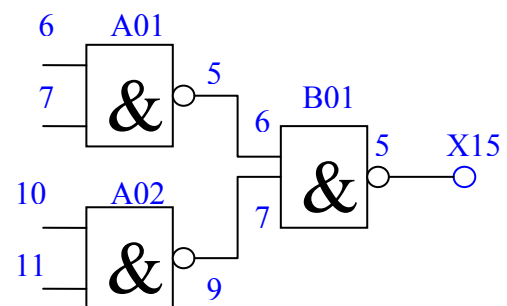
- jednobitová informace (shoda – neshoda)

DIAGNOSTICKÝ STROM – ZKRÁCENÝ

POPIS TOPOLOGIE OBVODU

- DVĚ ROZDÍLNÉ MOŽNOSTI POKRAČOVÁNÍ PRO PŘÍPAD SHODY A NESHODY
- ZAHÁJENÍ MĚŘENÍ NA PRIMÁRNÍM VÝSTUPU SE SIGNALIZACÍ CHYBY NEBO V OBLASTI S PŘEDBĚŽNOU LOKALIZACÍ CHYBY
- POSOUVÁNÍ SONDY (V PŘÍPADĚ NESHODY) PROTI SMĚRU ŠÍŘENÍ SIGNÁLU
- POPIS ALGORITMU MUSÍ RESPEKTOVAT DŮSLEDKY EKVIVALENCE PORUCH

ADRESA	KONAD	SHODA	NESHODA
1	X15	TEXT1	2
2	B01/5	TEXT2	3
3	B01/6	4	5
4	B01/7	TEXT3	6
5	A01/5	TEXT2	7
6	A02/9		



VNITROOBVODOVÉ ZKOUŠEČE

IN-CIRCUIT TESTING

- Seznam prvků na desce + KONAD + seznam spojů mezi prvky
- Zkoušeč sám provede úplný test

POSTUP:

1. Test propojení podprahovým napětím (~300mV)
2. Měření hodnot pasivních a analogových prvků
3. Funkční testy logických členů

Volba úrovně napětí v kroku 1. je s ohledem na přítomné P-N přechody

ELEKTRONICKÉ Odstínění pasivních a analogových prvků

Měření v impulsním režimu v případě číslicových obvodů

DESKA SE 100 i.o. sestavení testu u uživatele
~ 1 hod

TEST 1 i.o. ~ 60 – 200 ms

TEST DESKY VČETNĚ SPOJŮ 5-60 s

KRITICKÉ JSOU VLASTNOSTI PŘEPÍNACÍ

MATICE – kompenzovaná matice z jazýčkových relé

PŘENOSOVÁ FREKVENCE ŘÁDOVĚ MHz

- JEHLový ADAPTÉR
- ANALOGOVÉ, ČÍSLICOVÉ, KOMBINOVANÉ MĚŘÍCÍ BODY
- KLEŠŤOVÉ SONDY

VNITROOBVODOVÉ TESTY NEBÝVAJÍ ÚPLNĚ – KOMBINOVÁNÍ S KONEKTOROVÝMI TESTY

JAZYKY PRO ZÁPIS TESTŮ

OPERAČNÍ KÓD ZKOUŠEČE, ATS BASIC, ATLAS
– PŘENÁŠENÉ INFORMACE:

1. PŘÍŘAZENÍ VSTUPŮ A VÝSTUPŮ JEDNOTLIVÝM VÝVODŮM
2. LOGICKÉ ÚROVNĚ PRO VSTUPY A VÝSTUPY
3. MASKOVÁNÍ VÝSTUPNÍCH HODNOT
4. FREKVENCE SYNCHRONIZAČNÍCH IMPULSŮ
5. FÁZOVÝ POSUV ZDROJŮ SYNCHRONIZAČNÍCH IMPULSŮ
6. ZPOŽDĚNÍ OKAMŽIKU VZORKOVÁNÍ VÝSTUPU
7. ZÁTEŽ VÝVODŮ
8. TEST

12. AUTOAMTIZACE GENEROVÁNÍ TESTŮ

A. ČÁSTEČNÁ – interaktivní generování testu

B. ÚPLNÁ – AGT → CAT

A.

návrhář ručně generuje test
PC kontroluje

KONTROLA TESTŮ:

- KONTROLA ODEZEV (FUNKČNÍ SIMULACE)
- KONTROLA ÚPLNOSTI (SIMULACE PORUCH)
- KONTROLA HAZARDNÍCH STAVŮ
(ČASOVÁ SIMULACE)

MODIFIKACEMI
SIMULAČNÍHO
ALGORITMU

FORMY SIMULACE

RUČNÍ

FYZIKÁLNÍ INJEKCE PORUCH

ČÍSLICOVÁ pomocí počítače – vytváření
podkladů pro údržbu

- SLOVNÍKY PORUCH
- Kontrola úplnosti testu
- Navazuje na funkční simulaci

VYTVÁŘENÍ MODELU TESTOVACÍ JEDNOTKY

PODMÍNKA ISOMORFIE S MODELOVANÝM
OBJEKTEM

SYMBOLICKÝM JAZYKEM

a) PŘEKLAD DO PODPROGRAMŮ

b) PŘEKLAD DO TABULEK

TABULKOU

TABULKOU: LOGICKÝCH ČLENŮ

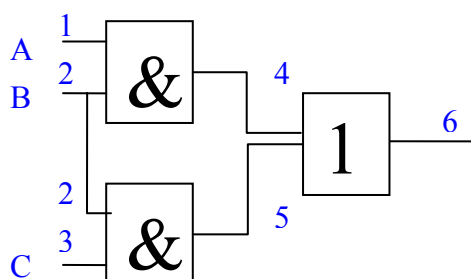
SPOJŮ

PROPOJENÍ
UKAZATELI

KNIHOVNA TYPŮ LOGICKÝCH ČLENŮ

TABULKA TRANSFORMACÍ LOGICKÝCH FUNKCÍ

PŘÍKLAD:



TABULKA LOGICKÝCH ČLENŮ

ADRESA	TYP	VSTUPY	VÝSTUP
a1	AND	b1, b2	b4
a2	AND	b2, b3	b5
a3	OR	b4, b5	b6

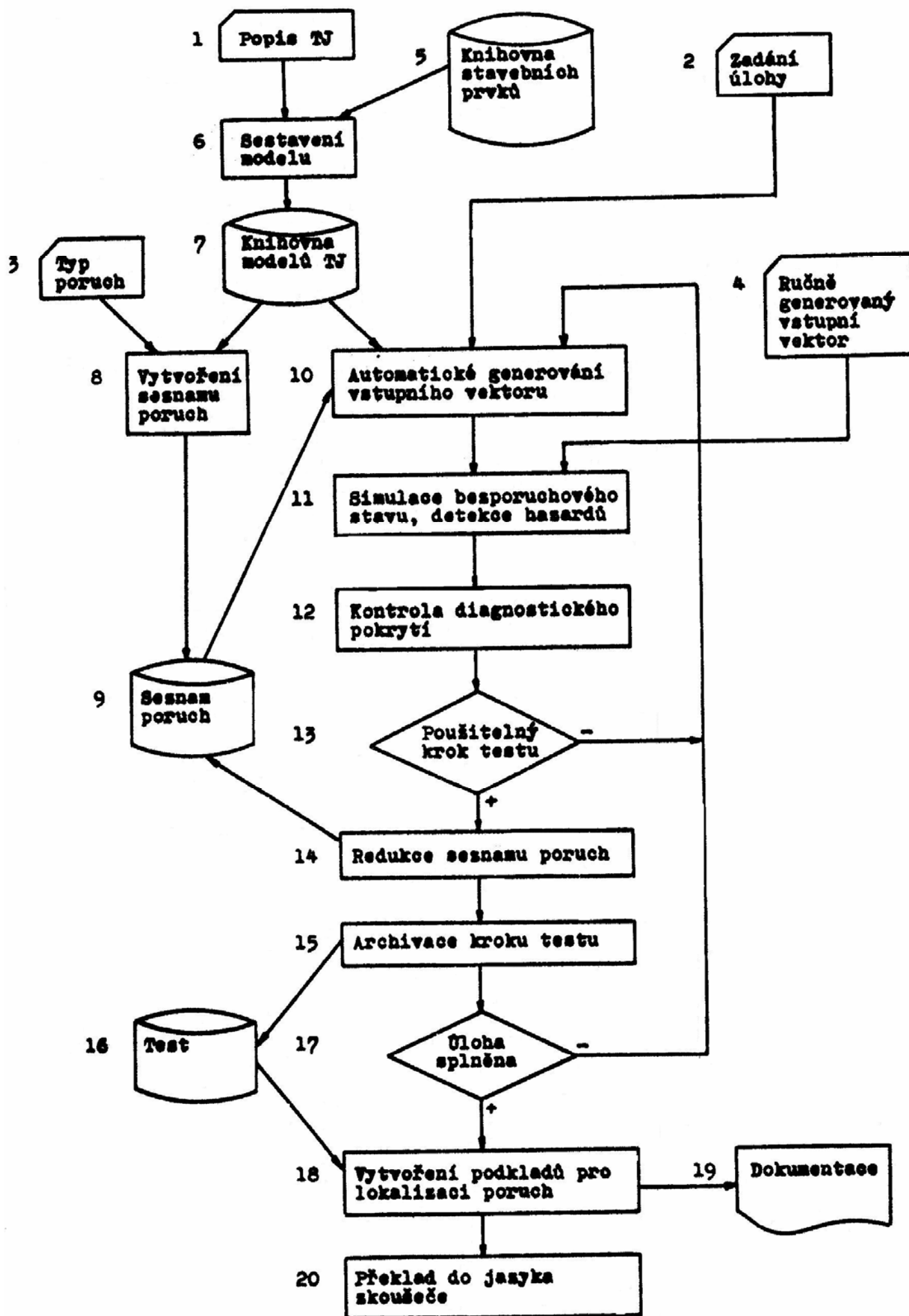
TABULKA SPOJŮ

ADRESA	JMÉNO SPOJE	VSTUPY	VÝSTUPY
b1	1	P	a1
b2	2	P	a1, a2
b3	3	P	a2
b4	4	a1	a3
b5	5	a2	a3
b6	6	a3	P

KNIHOVNA TYPŮ

TYP	VSTUP	VÝSTUP
AND	00	0
	01	0
	10	0
	11	1
OR	00	0
	01	1
	10	1
	11	1

INTERPETAČNÍ PROGRAM → SIMULACE
CHOVÁNÍ OBVODU POPSANÉHO TABULKOVÝM
MODELEM I. P. shodný pro všechny úkoly ⇒ **NENÍ
NUTNÝ INDIVIDUÁLNÍ PŘEKŁAD, SNADNÉ
PROVÁDĚNÍ ZMĚN** (změna položek v tabulce)



TECHNIKA SIMULACE PORUCH

POSTUPNÁ INJEKCE PORUCH DO
SIMULAČNÍHO OBVODU – metoda náročná na
čas a kapacitu paměti

PARALELNÍ
DEDUKTIVNÍ
SOUBĚŽNÁ } SIMULACE

POUŽITÍ SIMULAČNÍCH AKCELERÁTORŮ
PRO REALIZACI SIMULAČNÍCH
ALGORITMŮ NA UNIVERZÁLNÍCH
POČÍTAČÍCH
(paralelní zpracování)

PARALELNÍ SIMULACE

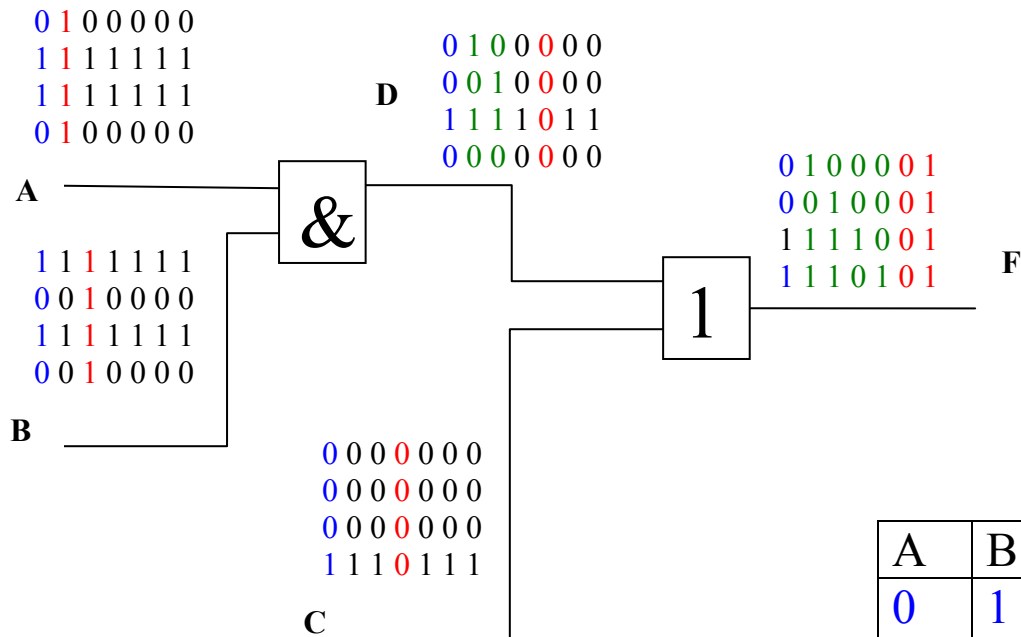
- Podmínka: MODEL OBVODU
KOMPILOVÁN DO SOUSTAVY
PODPROGRAMŮ
- Realizace: KAŽDÝ POČÍTAČ PROVÁDÍ
LOGICKÉ OPERACE SE VŠEMY BITY
OPERANDŮ NEZÁVISLE
- LZE KOMBINOVAT I S INJEKČÍ PORUCH

PŘI DÉLCE SLOVA 32 bit LZE ODVOSIT 32
RŮZNÝCH VÝSTUPNÍCH HODNOT
ZÁVISLÝCH NA 32 VSTUPNÍCH
KOMBINACÍCH

PŘÍKLAD:

$$F = AB + C \quad \text{minimální test}$$

$$ABC = 010, 100, 110, 001$$

KONTOLA POMOCÍ PARALELNÍ INJUKCE
PORUCH

A	B	C	F
0	1	0	0
1	0	0	0
1	1	0	1
0	0	1	1

POŘADÍ SIMULACE

PORUCHOVÝCH STAVŮ:

A/1 B/1 C/0 D/0 F/0 F/1

TŘÍDY EKVIVALENCE JEDNOTLIVÝCH
PORUCH JSOU REPREZENTOVÁNY
PORUCHOU VÝSTUPU

Poruchu t_0 simulujeme součinem s maskou
poruchy (nuly v místech výskytu poruchy)
 t_i (jedničky v místech výskytu poruchy)
součtem

DEDUKTIVNÍ SIMULACE

- Simulace bezporuchového obvodu a dedukce detekovaných poruch na jednotlivých vodičích
- Hledání všech citlivých cest v každém kroku
- Formálně jako transformace seznamů detekovatelných poruch přiřazených jednotlivým členům („šíření seznamu poruch“)

SOUBĚŽNÁ SIMULACE

- Rychlejší obdoba deduktivní simulace
- Využívá skutečnosti, že chování obvodu s jednou poruchou se liší od bezporuchového jen velmi málo
- KAŽDÝ OBVOD – SEZNAM PORUCH A JEJICH MOŽNÝCH DŮSLEDKŮ
- SLEDOVÁNÍ CESTY ŠÍŘENÍ ZMĚNY NÁSLEDUJE URČENÍ VSTUPNÍCH PROMĚNNÝCH
- VLIV PŘÍPADNÉ PORUCHY OBVODU V CESTĚ ŠÍŘENÍ

MINIMALIZACE TESTŮ

- JE NUTNÁ POUZE VYJÍMEČNĚ
- PRINCIPY A METODIKU LZE VYUŽIT PRO PŘIBLIŽNOU MINIMALIZACI
- MINIMALIZACE $\left\{ \begin{array}{l} \text{DETEKČNÍCH TABULEK} \\ \text{LOKALIZAČNÍCH TABULEK} \end{array} \right.$

TABULKA PORUCH (matice poruch)

řádek = krok testu

sloupec = poruchový stav nebo kombinace poruchových stavů

POTŘEBNÁ KAPACITA PAMĚTI

$\sim v^2$ v – počet vodičů

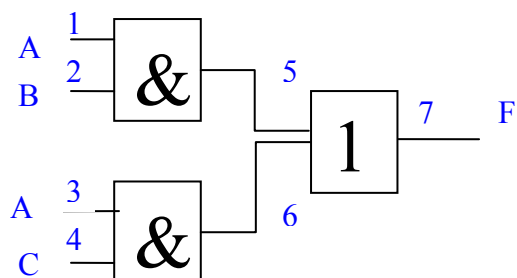
Dvojměrné pole hodnot $[f_{ij}]$

(i -tý řádek, j -tý sloupec)

$[f_{ij}] = 1 \Leftarrow i$ -tý krok testu detekuje j -tou poruchu

$[f_{ij}] = 0 \Leftarrow$ nedetekuje

JEDEN SLOUPEC TABULKY PORUCH
PRO OBVOD S JEDNÍM VÝSTUPEM –
NONEKVIVALENCE ODEZVY
PORUCHOVÉHO OBVODU SE
SPRÁVNOU ODEZVOU

PŘÍKLAD:

TYP	TŘÍDA EKVIVALENCE	
	VSTUPY	VÝSTUPY
AND	t0	t0
NAND	t0	tI
OR	tI	tI
NOR	tI	t0

A	B	C	F	1	2	3	4	5	6	7	1	2	3	4	5	6	7
				/	/	/	/	/	/	/	/	/	/	/	/	/	/
				0	0	0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	1	1	0	0	0	0	0	0	0	0	1	0	1	0	1	1	1
1	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1
1	0	1	1	1	1	0	0	1	0	0	1	1	1	1	1	1	1
1	1	0	1	0	0	1	1	0	1	0	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

(1/0, 2/0, 5/0)

(3/0, 4/0, 6/0)

(5/1, 6/1, 7/1)

t0 pro AND

tI pro OR

∈ DO TŘÍDY

EKVIVALENCE PORUCH

(2/1, 4/1) PORUCHY OBECNĚ NEROZLIŠITELNÉ

KAŽDOU TŘÍDU EKVIVALENCE NAHRADÍME

PORUCHOU VÝSTUPU, (2/1, 4/1) → 2/1 ⇒ ZTJEDNODUŠENÍ

VSTUPNÍ VEKTORY KÓDOVÁNY ČÍSLEM KROKU

K	F	5	6	7	1	2	3	7
		/	/	/	/	/	/	/
		0	0	0	1	1	1	1
0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	1	1
2	0	0	0	0	1	0	0	1
3	0	0	0	0	1	0	1	1
4	0	0	0	0	0	1	0	1
5	1	1	0	0	1	1	1	1
6	1	0	1	0	1	1	1	1
7	1	1	1	0	1	1	1	1

K	5	6	7	1	2	3	7
	/	/	/	/	/	/	/
	0	0	0	1	1	1	1
0	0	0	0	0	0	0	1
1	0	0	0	0	0	1	1
2	0	0	0	1	0	0	1
3	0	0	0	1	0	1	1
4	0	0	0	0	1	0	1
5	1	1	1	0	0	0	0
6	0	0	1	0	0	0	0
7	1	0	1	0	0	0	0

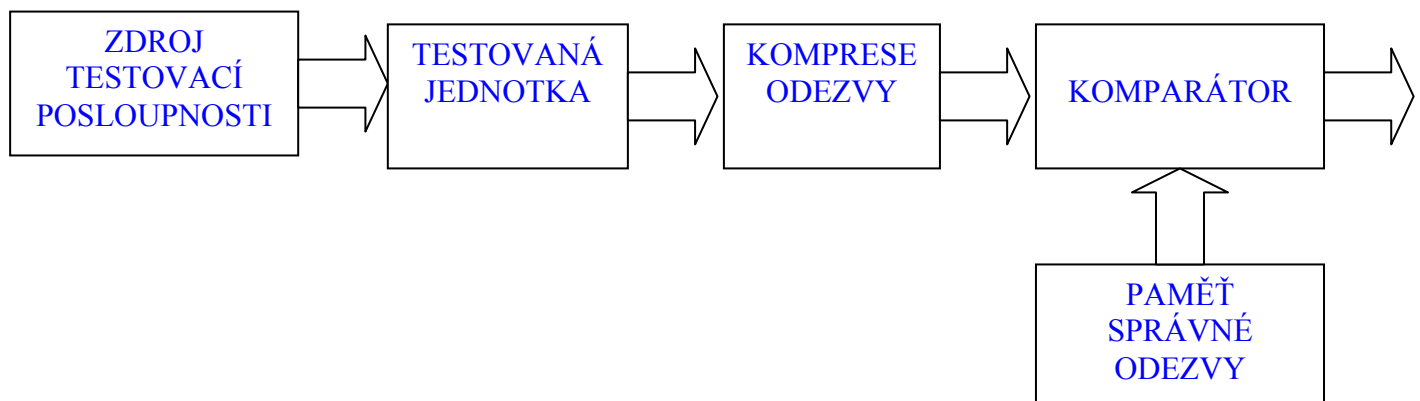
13. KOMPRESSE DIAGNOSTICKÝCH DAT

CÍLEM JE REDUKOVAT OBJEM INFORMACE PŘI ZACHOVÁNÍ PODSTATNÉ ČÁSTI INFORMAČNÍHO OBSAHU POTŘEBNÉHO PRO DIAGNOSTIKU
POŽADUJEME SNADNOU REALIZOVATELNOST
METODY PSEUDONÁHODNÝCH TRANSFORMACÍ



KOMPRESNÍ METODY ZALOŽENÉ NA ČÍTÁNÍ UDÁLOSTÍ

- Čítání jedniček
- Čítání nul
- Čítání náběžných hran impulsů
- Čítání sestupných hran impulsů
- Čítání přechodů (čítání všech hran)



REDUKCE OBJEMU DAT ~ LOGARITMICKÁ

Původní délka odezvy: k bitů

Kapacita pro záznam dosažených jedniček:

$$h = \log_2 k \text{ bitů}$$

Platí při konstantní délce testu zvyšování
pravděpodobnosti detekce poruch

$\Rightarrow$ použití až dvojnásobné délky testu

011 $\rightarrow$ 001 jeden přechod

PROBLÉM STEJNÉHO POČTU PŘECHODŮ

POČET POSLOUPNOSTÍ DÉLKY k

OBSAHUJÍCÍ t PŘECHODŮ

$$2^{\binom{k-1}{t}}$$

max pro $t \rightarrow k/2$

min pro $t = 0$ a

$$t = k - 1$$

SNAHA O DOSAŽENÍ CO NEJVĚTŠÍ

HODNOTY $t \Rightarrow$

SEŘAZENÍ KROKŮ TESTU (kombinací
obvodu) ZA SEBOU – PRAVIDELNÉ
STŘÍDÁNÍ 0 A 1

PŘÍZNAKOVÁ ANALÝZA

METODA DĚLENÍ DVOU BINÁRNÍCH
POLYNOMŮ realizovaná v POSUVNÉM
REGISTRU SE ZPĚTNÝMI VAZBAMI

SIGNATURE ANALYSIS

Dělení polynomů se užívá v kódování

$$a(x) = q(x) * g(x) + r(x)$$

$a(x)$ – polynom odezvy

m – bitová odezva testované

jednotky $a_{m-1} \dots a_1, a_0$

$a_i = 1$ nebo 0 stupeň poruchy $(m-1)$

$g(x)$ – generující polynom n -tého stupně

$q(x)$ – podíl – **zanedbáváme**

$r(x) = r_{n-1}, r_{n-2} \dots r_0$ – zbytek -

- **PŘÍZNAK** – polynom stupně $(n-1)$

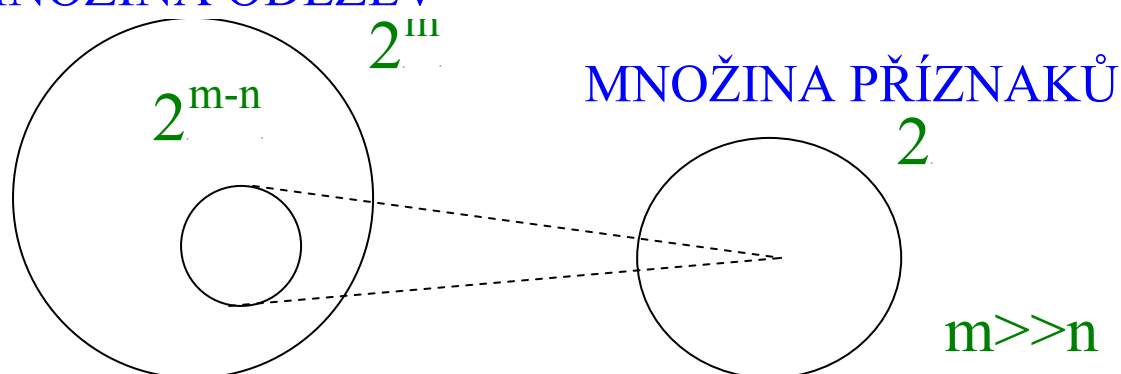
n -bitové dvojkové slovo

$m \rightarrow n$

V PRAXI SNAHA ABY $m \gg n$

ZTRÁTA INFORMACE V DŮSLEDKU SPLÝVÁNÍ OBRAZŮ RŮZNÝCH PŘEDMĚTŮ (synonym)

CHYBY PŘÍZNAKOVĚ NEDETEKOVATELNÉ MNOŽINA ODEZEV



V MNOŽINĚ ODEZEV DEFINUJE POUŽITÁ
TRANSFORMACE 2^n PODMNOŽIN
EKVIVALENTNÍCH POSLOUPNOSTÍ.

VŠECHNY TYTO PODMNOŽINY JSOU
STEJNĚ VELKÉ.

SHODNÝ PŘÍZNAK PRO VŠECHNY CHYBY,
JEJICHŽ ODEZVA LEŽÍ VE STEJNÉ
PODMNOŽINĚ JAKO ODEZVA
BEZPORUCHOVÉHO OBVODU.

POČET CHYBNÝCH ODEZEV:

$$2^{m-n} - 1$$

PRAVDĚPODOBNOST VZNIKU

NEDETEKOVATELNÉ CHYBY P_{CH} :

$$P_{CH} = \frac{2^{m-n} - 1}{2^m - 1} = \frac{2^{m-n}}{2^m} = 2^{-n}$$

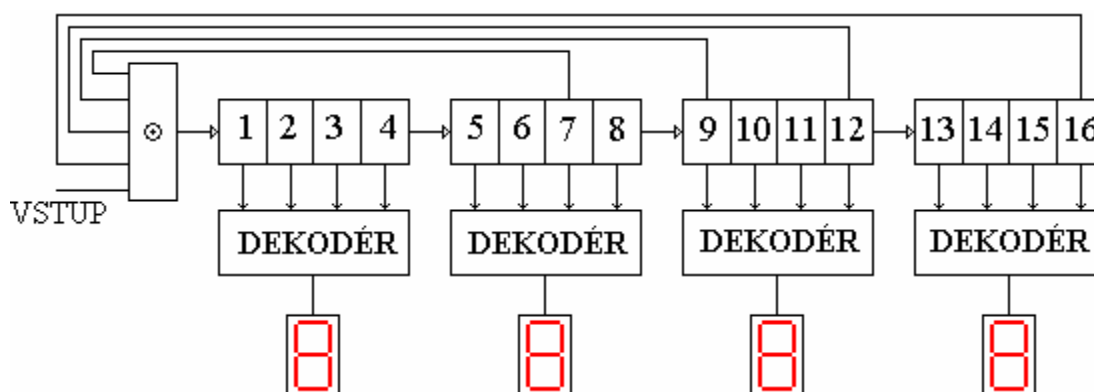
$(2^m - 1)$ je celkový počet chybných posloupností
délky m

PŘÍZNAKOVÝ ANALYZÁTOR

DĚLENÍ REALIZOVÁNO V POSUVNÉM
REGISTRU S LINEÁRNÍMI ZPĚTNÝMI
VAZBAMI
DUÁLNÍ POLYNOM

$$g'(x) = x^n * g\left(\frac{1}{x}\right)$$

$$g(x) = x^{16} + x^9 + x^7 + x^4 + 1 \rightarrow g'(x) = x^{16} + x^{12} + x^9 + x^7 + 1$$



POMOCNÉ VSTUPY: START
 STOP
 SYNCHRONIZACE

A, C, F, H, P, U

1010 = A

1011 = C

1100 = F

1101 = H

1110 = P

1111 = U

BM 578

$$P_{CH} \doteq \frac{1}{2^n}$$

2^n – počet
různých příznaků

Př.: $n=16$

$$P_{CH} = 2^{-16} = 1,5 * 10^{-5} \Rightarrow$$

z 65 536 měření pouze jedno chybné

$$g(x) = x^{16} + x^9 + x^7 + x^4 + 1$$

V praxi užívaný generující pn

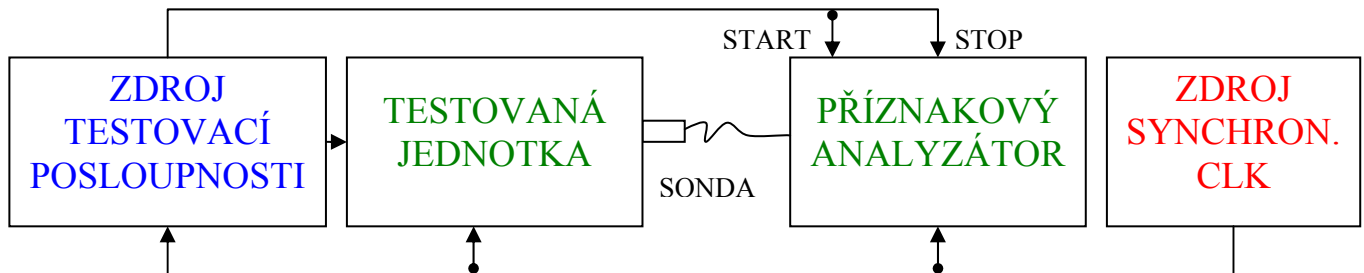
Vlastnosti:

- Spolehlivá detekce 1 chyby ve výstupní posloupnosti libovolné délky
- Spolehlivá detekce 2 chyb ve výstupní posloupnosti $\leq 65\,535$ kroků
- Vícensobné chyby detekuje ≤ 16 kroků
- Pro > 16 kroků

$$1 - P_{CH} = 1 - 1,5 * 10^{-5} = 0,99998$$

MĚŘENÍ POMOCÍ P. A.

VNĚJŠÍ ZDROJ TESTOVACÍ POSLOUPNOSTI ČÍTAČ



Signál START, STOP – nejvyšší bit čítače generování jednoho příznaku během jednoho cyklu

PODKLADEM PRO VYHODNOCENÍ MĚŘENÍ JSOU SPRÁVNÉ HODNOTY PŘÍZNAKŮ PRO VŠECHNA MĚŘENÁ MÍSTA

- měření na etalonové jednotce
- součást technické dokumentace
(v pseudo-hexadecimální reprezentaci u vodičů do schématu)

STRATEGIE HLEDÁNÍ PORUCH:

1. Postup proti směru šíření signálu
2. Půlení množiny podezřelých součástek
3. Postupné nabalování na ověřenou část součtu

VESTAVĚNÝ ZDROJ VSTUPNÍ TESTOVACÍ POSLOUPNOSTI

- ROM (vestavěná, vkládaná)
- trvale zabudovaný čítač
- využití ROM s aplikačním programem (riziko maskování)

POUŽITÍ P. A. V MIKROPROCESOR. SYSTÉMECH DVOUFÁZOVÁ METODA

1. F - běh naprázdno (free run) NOP
využití čítače adres jako vnitřního zdroje
vstupní testovací posloupnosti

2. F - program v ROM

1. F DEFINOVANÝ VÝCHOZÍ STAV T. J.

ROZPOJENÍ DATOVÉ SBĚRNICE

START, STOP – nejvyšší bit adresové
sběrnice (A15)

řízení intervalu sestupnou hranou

implementovanou na tomto vodiči

SYNCHRONIZAČNÍ SIGNÁL – odvozen od

hodin μ P systému

SNÍMÁNÍ PŘÍZNAKŮ NA VODIČÍCH
ADRESOVÉ SBĚRNICE, vstupní ROM,
adresy pro I/O zařízení

2. F TEST PROGRAMEM PŘÍPRAVEK V ROM

- vyhrazení ~ 5% RAM

Testy vzorků pro:

- RAM
- Přerušení
- Vstupní registry periférií

TEST FUNKCE DATOVÝCH CEST

0, 1, osamělá 1 postupně na všech místech
v poli 0

START, STOP z adresové sběrnice (A15)

skok na prázdnou buňku v horní polovině
paměti

ROZPOJOVÁNÍ OBOUSMĚRNÉ SBĚRNICE

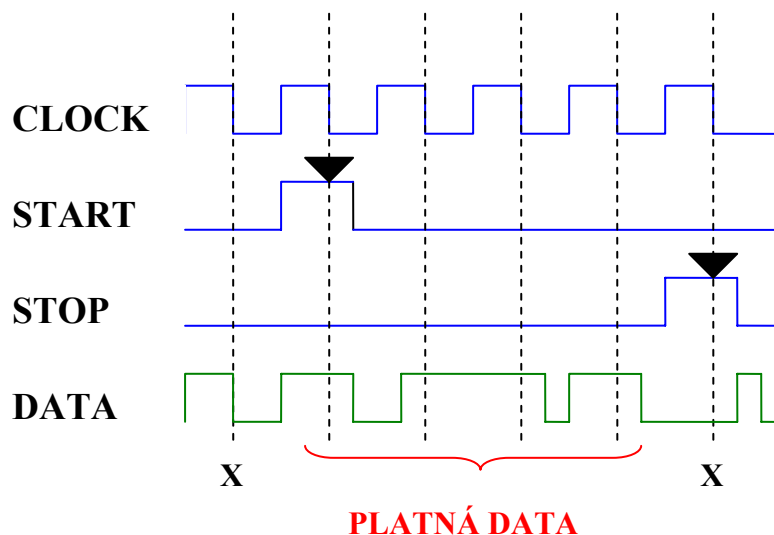
- Vyměnit ROM
- Změnit adresování pomocí přepínačů
- Konektor pro připojení ROM na datovou sběrnici

ROZPOJOVÁNÍ SMYČEK ZPĚTNÉ VAZBY PRO SNADNĚJŠÍ LOKALIZACI PORUCH

SLOVNÍK PORUCH → KOINCIDENČNÍ SLOVNÍK

DOPLŇKOVÉ INFORMACE K PA

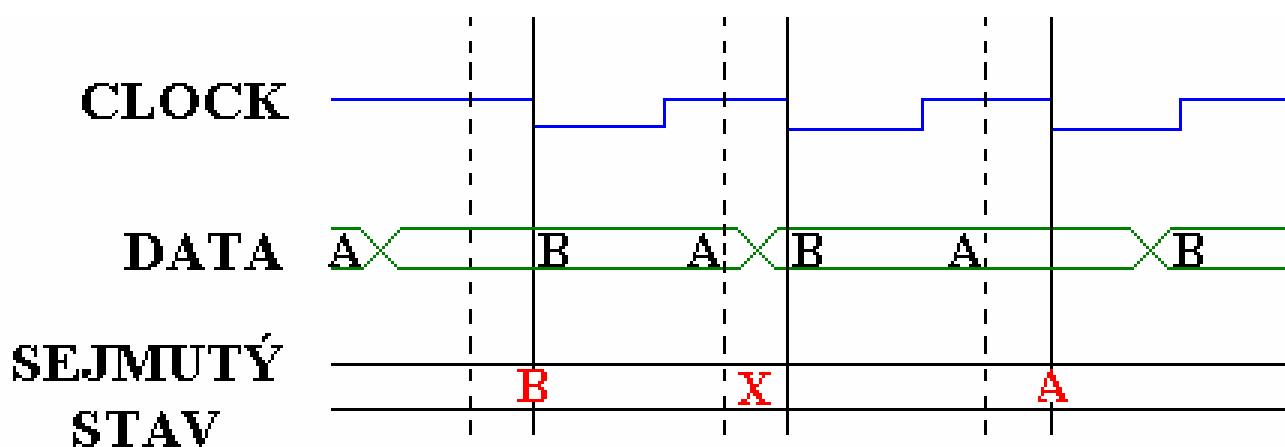
PLATNOST DAT



DATA SEJMUTÁ SOUČASNĚ S AKTIVNÍ HRANOU

START JSOU DO PŘÍZNAKU ZAPOČÍTÁNA,
DATA SEJMUÁ SOUČASNĚ S AKTIVNÍ HRANOU
STOP UŽ **NE**

POTŘEBNÝ PŘESAHI START, STOP, DATA



- ❖ Signály **DATA**, **START**, **STOP** musí být synchronní se signálem **CLOCK** a stabilní v okamžiku jeho aktivní hrany
- ❖ **1 ROZHODOVACÍ ÚROVEŇ** $u > 1,5V \rightarrow H$
vstupy **START**, **STOP** $u < 1,5V \rightarrow L$
- ❖ Vstup **DATA** má
2 ROZHODOVACÍ ÚROVNĚ $u_1 = 0,8V$
 $u_2 = 2V$
- ❖ Neplatný (třetí) stav $0,8V < u < 2V$
Vstupní proud sondy nulový
při napětí 1,4V
Změna z aktivního logického stavu na třetí
stav nezpůsobí změnu stavu klopného
obvodu na vstupu
**PA $\Rightarrow$ VSTUP ZŮSTANE
V POSLEDNÍM PLATNÉM STAVU**

VÝHODA: možnost získat stabilní
a opakovatelné příznaky
z třístavových obvodů

- ❖ PA má ve většině případů zanedbatelný vliv na funkci obvodu. Řídící signály do PA je dobré oddělit investorem.
- ❖ Signály vstupující do PA musí přiměřeně čisté na hraně hodin
- ❖ Měřicí interval ohraničený signály START a STOP musí být pro všechny testované uzly **JEDNOZNAČNÝ** a **SYNCHRON**
- ❖ Počet hran hodinového signálu uvnitř měřicího intervalu musí být při každém dalším spuštění testu **STEJNÝ**

TYPYCKÉ ZDROJE SIGNÁLŮ START A STOP

- adresové linky
- adresové dekodéry
- ovládací vstupy I/O
- linky přerušení
- flags (programově řízené)
- datové registry
- I/O porty

K vypínání signálu **CLOCK**, v intervalu, kdy jsou data nestabilní a neplatná, lze použít signálu **CLOCK QUALIFIER**

REŽIMY ZKOUŠENÍ

1) **VOLNÝ BĚH – FREE RUN**

- NOP; MOV A, A
- rozpojení datových sběrnic
- prověření schopnosti adresovat celý definovaný prostor paměti (start-stop A15)

2) **NABALOVÁNÍ NA JÁDRO**

procesory

- jádro (generování hodin, řídicí logika sběrnice)
- prověření jednotlivých registrů (jako v RAM – schopnost uchovat 0 a 1)
Simulace je postupný zápis každého byte testovací posloupnosti do všech registrů a opětovné přečtení
- vyzkoušení celého instrukčního souboru μP

- rozpojení zpětných vazeb
 - rozpojení sběrnice (3. stav)
 - uklidnění signálu → hradlování signálu
- ZÁPIS

1. Test A (jádro)
2. Pomocí A testujeme B
3. Testování A a B společně
4. Pomocí A + B testujeme C
5. Testování A, B, C společně

3) Paměti ROM

- použít všechny možné kombinace vstupu a kontrola výstupu (Př.: Obsahy paměti ROM jsou čteny jako data do μP , kde je prováděn algoritmus komprese dat se zbytkem v akumulátoru nebo jiném registru – POROVNÁNÍ)
- izolace chyby „adresovým oknem“ (START, STOP připojeny k příslušnému adresovému dekodéru)

4) Zpětnovazební smyčky rozpojení → lokalizace

5) Dekódovací obvody

Dekodéry, ROM, PLA

- většinou v režimu Free Run
- hrdlování řídicími signály
„DATA PLATNÁ“, „ADRESY PLATNÉ“

6) Paměti RAM

statické - nelze v režimu Free Run

vzorky → příznak

- šachovnice
- putující 0 a 1
- zapamatování adres (plynule rostoucích čísel)
- ukládání obsahu ROM do RAM

dynamické – nutnost synchronizace μP a
připojené vyblokování cyklu REFRESH

7) Vstupy a výstupy

Jde o paměťová místa s navazující logikou

- zápis a čtení
- putující jednička
- co největší počet uzlů by měl měnit svůj stav

Zpětná vazba výstup – vstup

8) Asynchronní obvody (AO)

- nepoužívat
- během PA obvody synchronizujeme
- testování autonomním testem
- (netestujeme)
- o přerušení vstup, interval, datový výstup
- o monostabilní obvody
- o displeje
- o klávesnice

9) Analogové obvody

- úrovňové
- A/D převod a PA

10) Multiprocessorové systémy

- hierarchicky
- izolovaně, pak společně

11) Čítače a posuvné registry

12) ASM (Algorithmic State Machine)

- stavové registry
- ROM
- zpětnovazební logika

↓ SMĚR
NABALOVÁNÍ

14. NÁVRH PRO SNADNOU DIAGNOSTIKU

DIAGNOSTIKOVATELNOST

(TESTOVATELNOST) ~ VÝŠE NÁKLADŮ
NA DIAGNOSTIKU NEBO POMOCNÁ
KRITERIA:

- **OVLADATELNOST** (snadnost nastavení požadovaného stavu v jednotlivých prvcích)
- **POZROVATELNOST** (dostupnost informace o stavu jednotlivých prvků obvodu)

HISTORIE:

- A. – usnadnění vnějších periodických testů (60. – 70. léta)
 - B. – použití vestavěných diagnostických prostředků
-

A. NÁVRH 

HEURISTICKÝ NÁVRH – proměnlivé výsledky, nenáročné relace, mnohdy jediné řešení

STRUKTUROVATELNÝ NÁVRH

Nárůst nákladů v 20% - kompenzace
v důsledcích (méně náročné generování a
vyhodnocování testů)

PRAVIDELNÁ STRUKTURA NAVRŽENÉHO OBVODU:

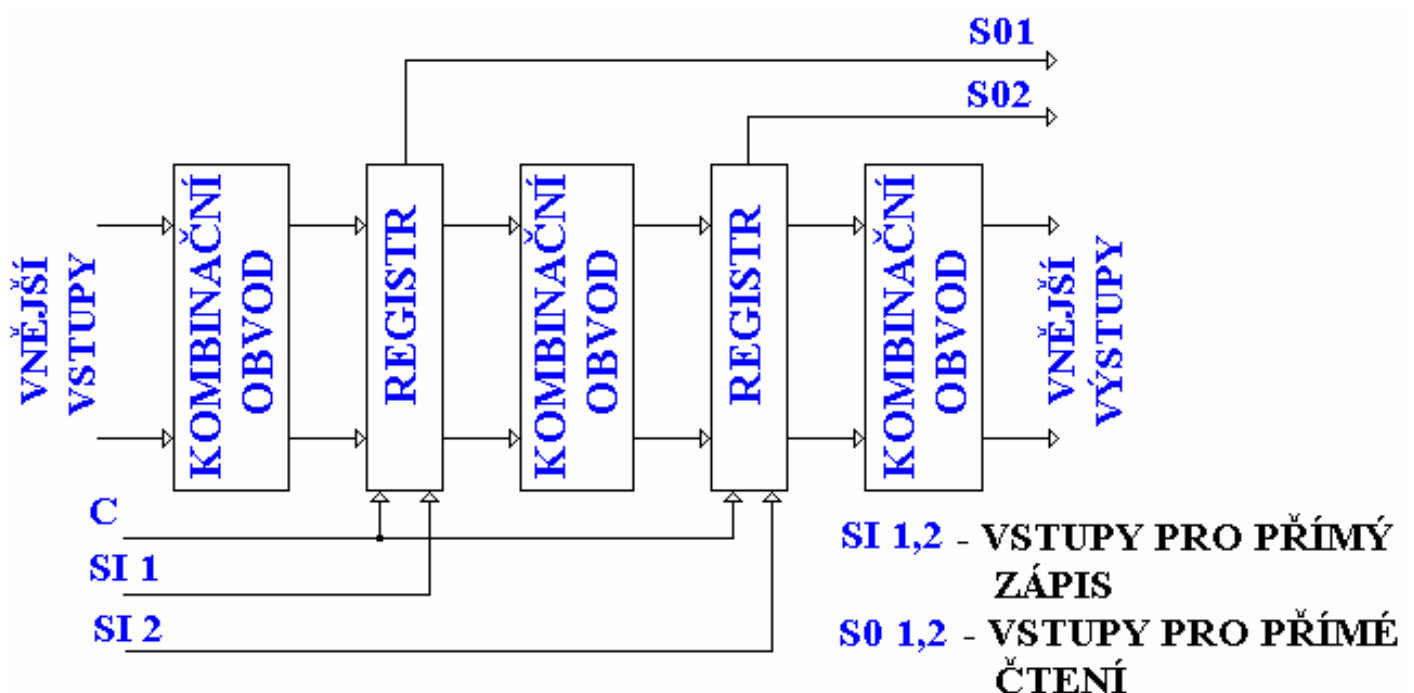
- všechny sekvenční prvky přístupné zvenčí
(nikoliv přes kombinační obvody)

Přímý přístup:

scan in přímý zápis

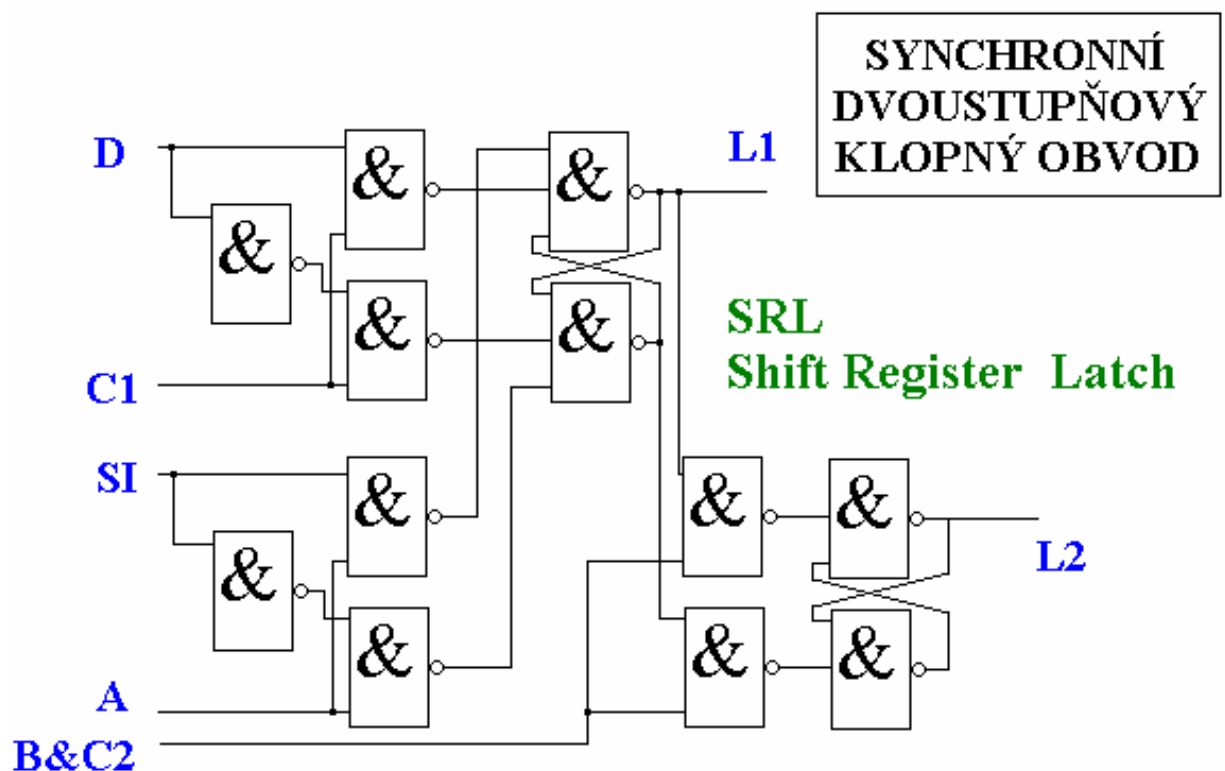
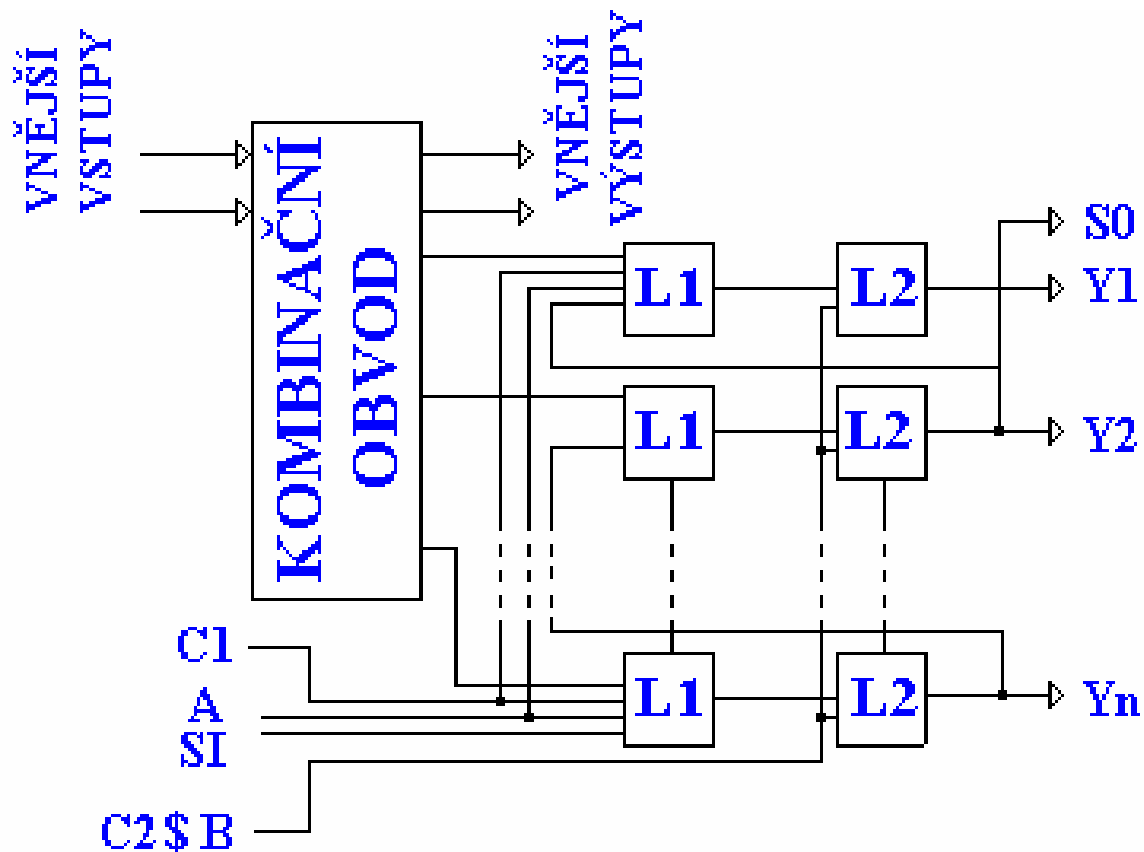
scan out přímé čtení

SERIOVÉ METODY



METODY:

LSSD (Level Sensitive Scan Design) návrh
čipů hradlových polí → HIO → zásuvné desky



SRL je citlivý na úroveň signálu
imunní vůči případným anomáliím v dyn.
parametrech synchronní impulsy

dvoufázové hodiny C1 a C2

ZDVOJENÍ KLOPNÝCH OBVODŮ →

zajišťuje možnosti přesunu z L1 do jiného
obvodu L1

FUNKČNÍ REŽIM – přesuny pomocí

kombinačních obvodů a hodin C1 a C2

DIAGNOSTICKÝ REŽIM – přesun pomocí
přímých spojů z L2 do L1 posouvacími
hodinami A, B

SI – zápis diagnostikované informace

S0 – snímání odezvy na krok testu

KLOPNÉ OBVODY → n-bitový posuv.registr

FÁZE TESTU OBVODU:

1. TEST FCE POSUV. REGISTRU („0“ a „1“)
2. VLOŽEÍ TESTOVACÍHO VZORKU DO
POSUVNÉHO REGISTRU A NA
KOMBINAČNÍ LOGICKÉ SÍTĚ
3. JEDEN TAKT HODIN
4. KONTROLA ODEZVY KOMBINAČNÍ
LOGICKÉ SÍTĚ NA VÝSTUPU S0

OPAKOVÁNÍ FÁZÍ 2 ÷ 4 PRO VŠECHNY
VZORKY TESTU

NEVÝHODY METODY LSSD:

- SRL 2 ÷ 3x složitější než běžné klopné obvody
- Pro každou testovanou jednotku nutné 4 primární vývody navíc (řízení posuvného registru)
- Průběh testu řízen externími synchronními impulsy A, B

Složitost obvodu se zvýší o 4 – 20%

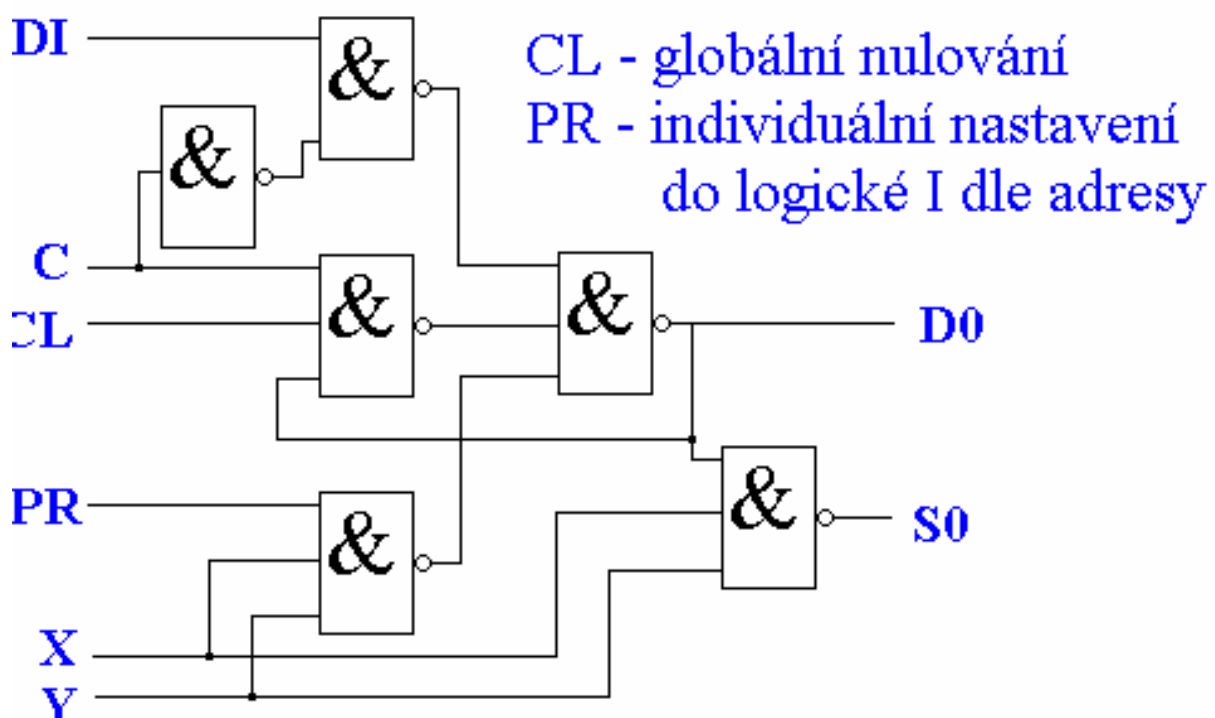
PARALELNÍ METODY

RAS (RANDOM ACCESS SCAN)

(Fujitsu, Amdahl)

MÍSTO OBVODU PRO ČTENÍ I ZÁPIS
DIAGNOSTICKÉ INFORMACE SE
VYBÍRÁ ADRESOU

PAMĚŤOVÉ ČLENY SL (Scan Latch)



SROVNÁNÍ

Paralelní obvod RAS jednodušší než SRL pro LSSD

Větší počet vývodů pro diagnostiku

Počet taktů pro jeden krok:

- LSSD: nastavení = n taktů
 + 1 takt čtení
 $n + 1$
 n = počet paměťových členů
- RAS: závisí na povaze testu za
 předpokladu – vstupní vektor cca
 50% jedniček, je nastaven počet
 taktů $n/2$
 před zápisem čtení odezvy do 50%
 paměťových členů je rychlost
 srovnatelná s LSSD
 > 50% LSSD je rychlejší

KOMBINACE OBOU METOD – ARAS

místo dekodérů adres – čítače buzené hodinami

HEURISTICKÉ METODY NÁVRHU

NEALGORITMICKÉ

ČLENĚNÍ TESTOVACÍCH JEDNOTEK

- menší přístupné části
- oddělení číslicově analogových obvodů

VÝBĚR SNADNO TESTOVATELNÝCH SOUČÁSTEK A ZAPOJENÍ

- příklad obvodu nonekvivalence

POUŽITÍ TESTOVACÍCH BODŮ

- výstupy paměťových členů v sekvenčních obvodech + umožnění mít nastavení každého paměťového členu
- oscilátor
- monostabilní obvod (lépe nepoužívat)
- nastavovací vstupy čítačů, popřípadě některé jejich výstupy (stupně)
- použití mpx a dmpx

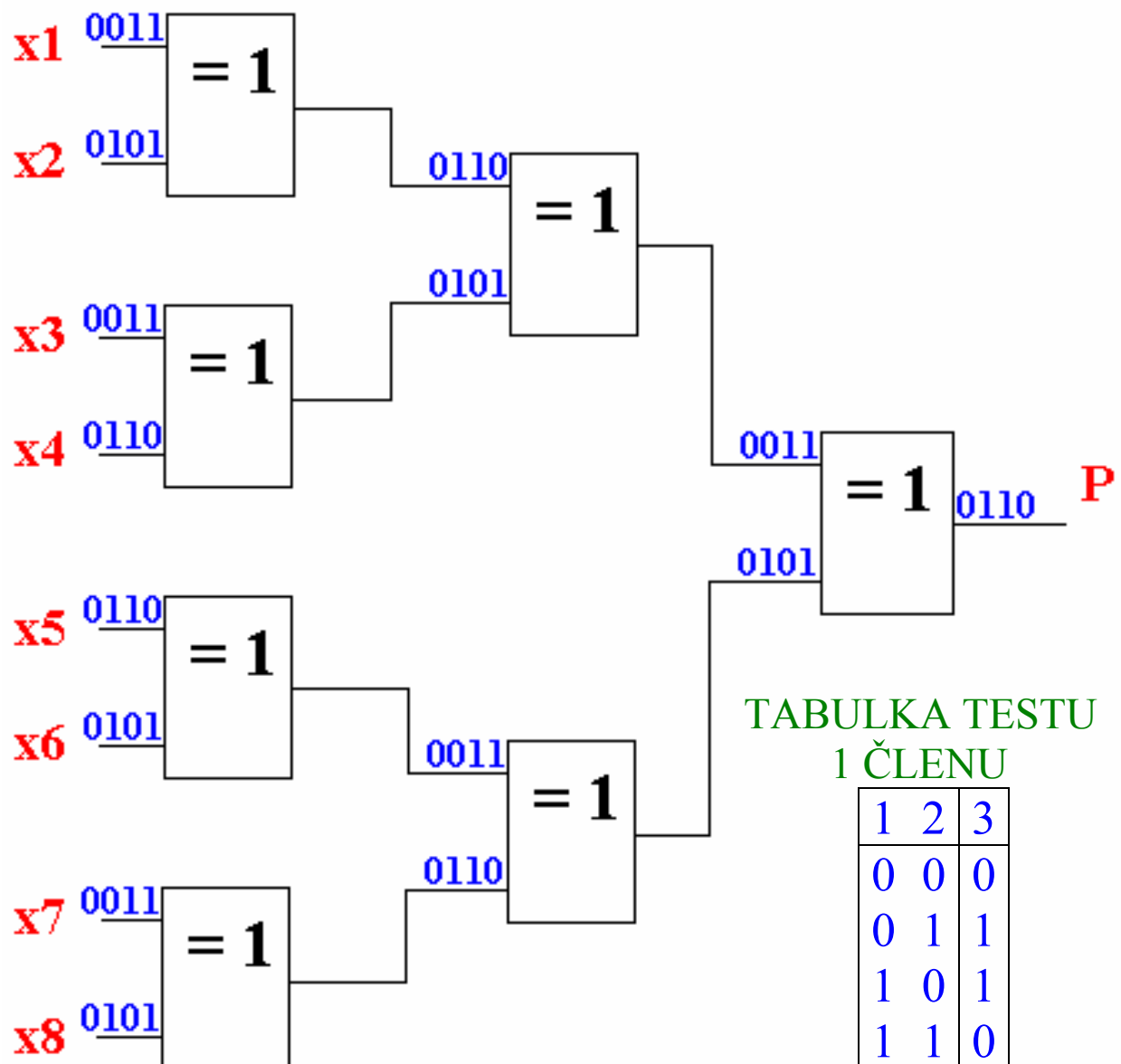
SNADNÁ INICIALIZACE PAMĚŤOVÝCH OBVODŮ

- jedním povelom (asynchronní vstupy S, R přes logický součin, montážní součin) po zapnutí U_{cc}
- možnost přerušení zpětných vazeb (mechanicky, pomocí logických členů – součin)

PŘÍKLAD SNADNO TESTOVATELNÉ SOUČÁSTKY EXCLUSIVE - OR

Úplný test jednoho 2 – vstupového hradla má 4 kroky (triviální test)

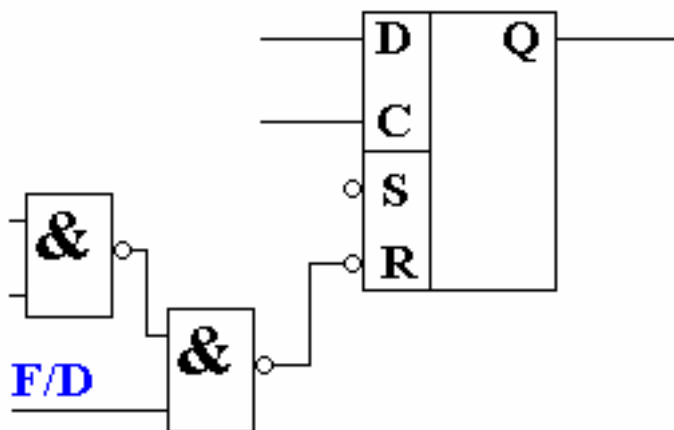
Stejný počet kroků má libovolně složitý obvod složený z těchto hradel



INICIALIZACE PAMĚŤOVÝCH OBVODŮ POMOCÍ ASYNCHRONNÍCH VSTUPŮ

osazení pouze 1 pinu konektoru navíc

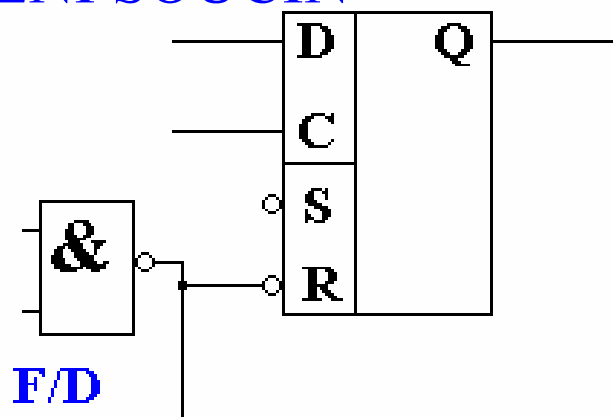
a) LOGICKÝ SOUČIN



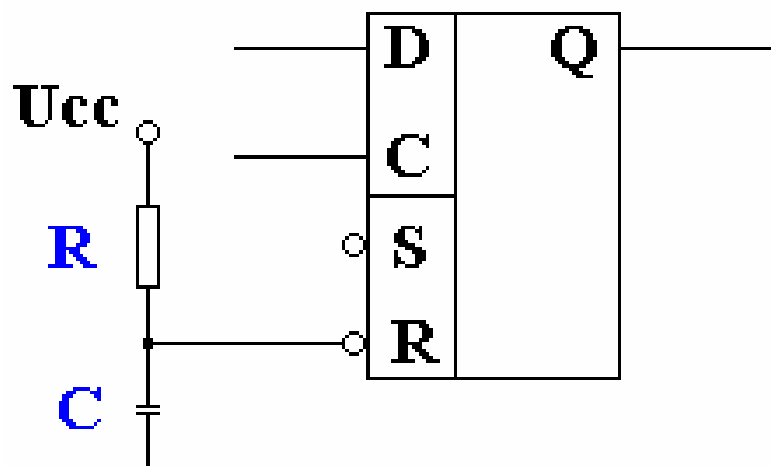
Při osazení
asynchronního
vstupu funkčním
režimem –
logický součin
řídícího signálu
F/D s funkčním
F/D s funkčním

F/D: $F = 1$ $D = 0$

b) MONTÁŽNÍ SOUČIN



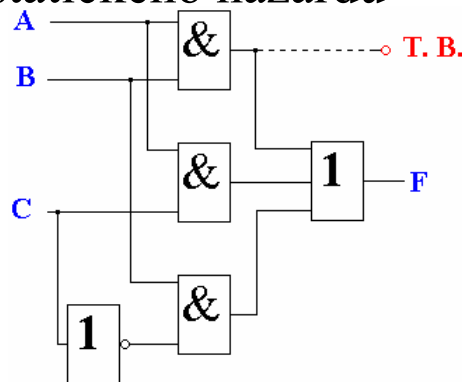
c) POMOCÍ DĚLIČE RC



VYLOUČENÍ REDUNDANCE

ÚMYSLNÁ REDUNDANCE

- zlepšení funkčních vlastností
- spolehlivost systému
- vytváření zálohy
- odstranění statického hazardu



$$AB + AC + BC = AB(C + \bar{C}) + AC(B + \bar{B}) + BC(A + \bar{A}) = AC + BC$$

ZVLÁŠTNÍ VÝVOD Z REDUNDANTNÍ ČÁSTI
 POMOCNÝ VSTUP PRO DIAG. REŽIM–DOČASNÁ
 BLOKACE MASKOVÁNÍ CHYBY

VYLOUČENÍ MONOSTABILNÍCH OBVODŮ

MONOSTABILNÍ OBVOD – PŘESNÉ ODMĚŘENÍ
 URČITÉHO ČASOVÉHO INTERVALU

NÁHRADA: KRATŠÍ IMPULS – VÍCEFÁZOVÉ
 HODINY

DELŠÍ IMPULS – ČÍTAČ

NÁHRADA ASYNCHR. OB. SYNCHR. ZAJIŠTĚNÍ
 DOSTUPNOSTI SLOŽITÝCH SOUČÁSTEK

montáž do patič μ P, paměti, LSI

IZOLACE GENERÁTORŮ HODIN A NAPÁJECÍCH
 ZDROJŮ

možnost vnějšího ovládání, mezní test

ZPŘÍSNĚNÍ ZÁSAD LOG. A TECHNOL. NÁVRHU

rezervy – necitlivost vůči rozptylu

rezerva v logickém zisku (pro logickou sondu)

15. VESTAVĚNÉ DIAGNOSTICKÉ PROSTŘEDKY

VNITŘNÍ DIAGNOSTIKA

A. POUŽITÍ PROGRAMŮ, MIKROPROGRAMŮ

B. BUILT-IN SELF-TEST EQUIPMENT

(BISTE, BIST, BITE, BIT)

A. DIAGNOSTICKÉ TESTY V PAMĚTI

VYHRAZENÍ PAMĚTI

POUŽITÍ SAMOSTATNÉHO PROCESORU

(jeden i více servisních a diagnostických procesorů):

- spouštěcí diagnostika (neúplná)
- periodická diagnostika (přerušení)
- průběžná diagnostika (hlídače kódů)
- lokalizace poruch (exportní systémy, metody umělé inteligence)

DIAGNOSTICKÝ SYSTÉM STŘEDISKOVÉHO POČÍTAČE

1. ŘÍDÍCÍ JEDNOTKA DIAGNOSTICKÉHO SYSTÉMU (diagnostický procesor nebo řadič)
2. KOMUNIKAČNÍ CESTY (přednost samostatným vedením pro diagnostiku, prostředky dálkové diagnostiky)
3. PAMĚTI (RAM - μ programy) Programová diagnostika – test periferií – Pod operačním

systémem za provozu (OLTEP On – Line Test Executive Program)

- diagnostický monitor, samostatné testy

OLTSEP (On - Line Test Standalone Executive program)

SYSTÉMOVÉ TESTY MIKROPOČÍTAČŮ

řízení monitorem – detekční testy, v případě poruchy zavedení lokalizačního testu (přesnost na jednotlivé integrované obvody)

AUTONOMNÍ TESTY GENEROVANÉ V REÁLNÉM ČASE

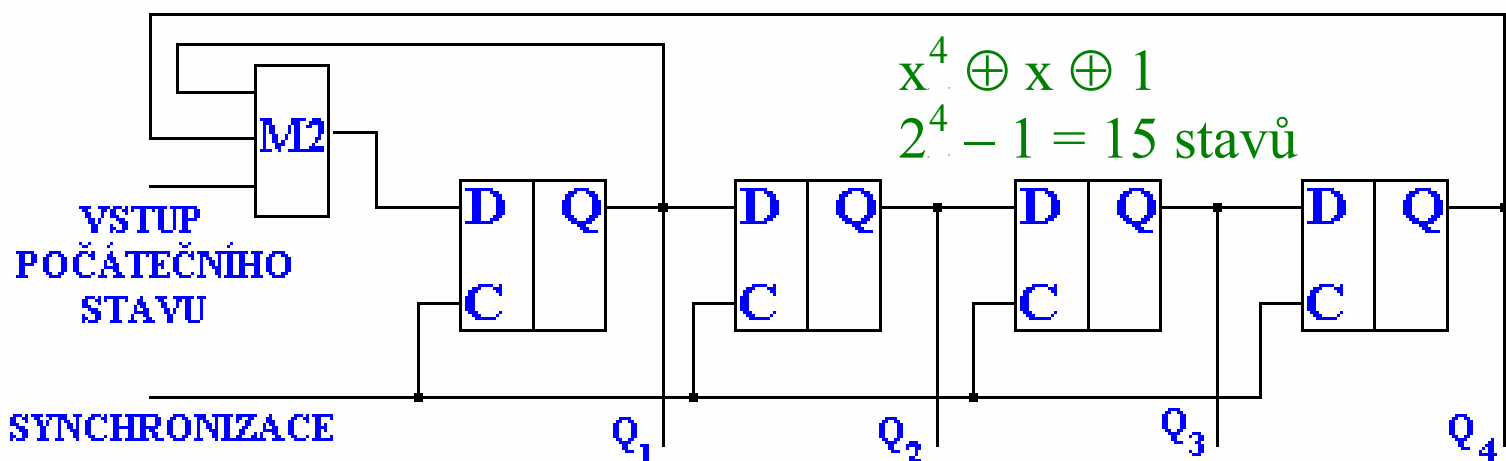
ALGORITMICKÉ PRO PRAVIDELNÉ STRUKTURY (paměti, PLA, strukturované sekvenční obvody) – V TESTOVANÉ JEDNOTCE ULOŽEN POUZE PŘEDPIS

Generování testů

- programem (vzorky pro RAM)
- obvodově

KOMPRESSE ODEZEV (posuvný registr s lineární zpětnou vazbou)

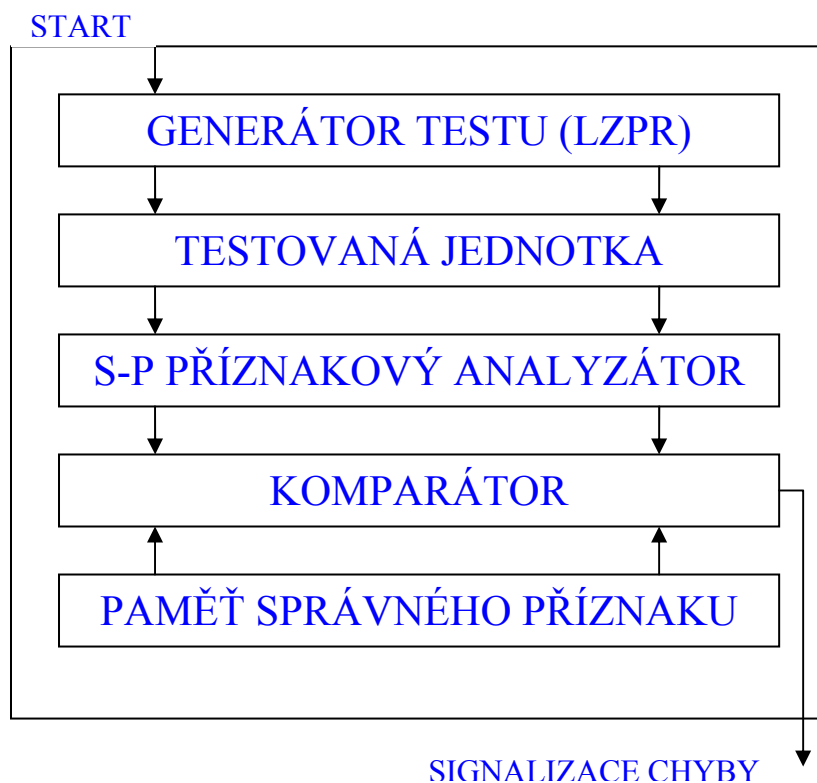
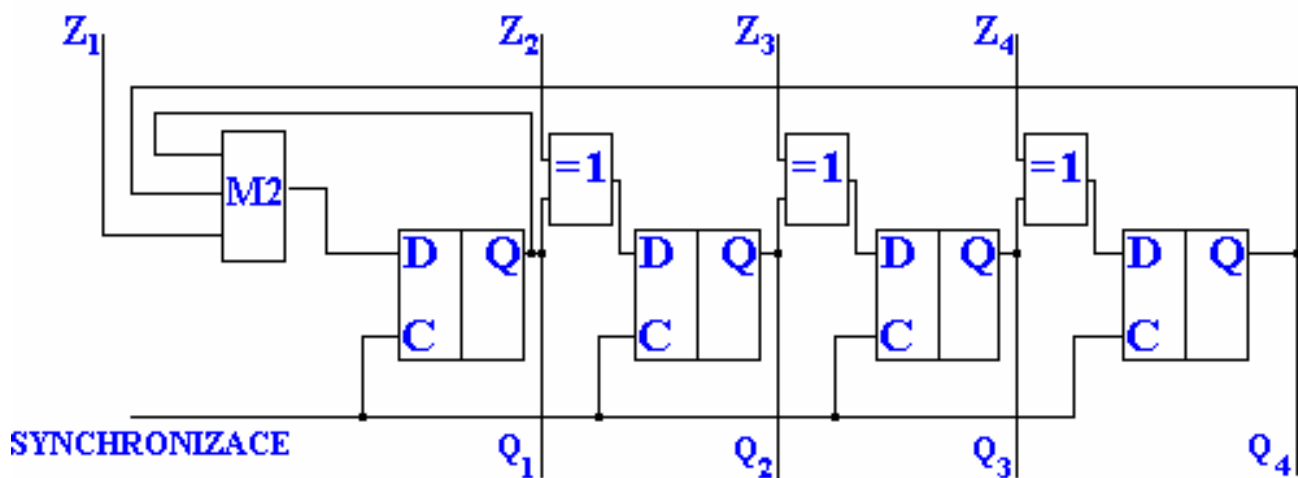
POUŽITÍ LZPR



testování kombinační části strukturovaného návrhu

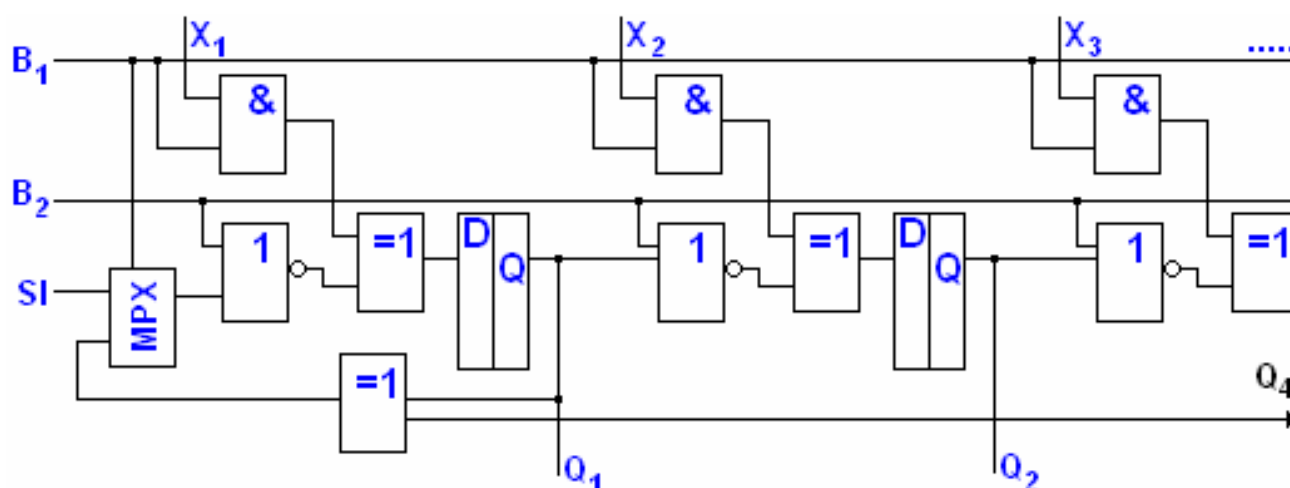
PŘI POUŽITÍ NELINEÁRNÍ ZPĚTNÉ VAZBY
LZE GENEROVAT I NULOVÝ STAV –
TRIVIÁLNÍ TEST

VYHODNOCENÍ ODEZVY POMOCÍ SÉRIOVĚ
– PARALELNÍHO PŘÍZNAKOVÉHO
ANALYZÁTORU

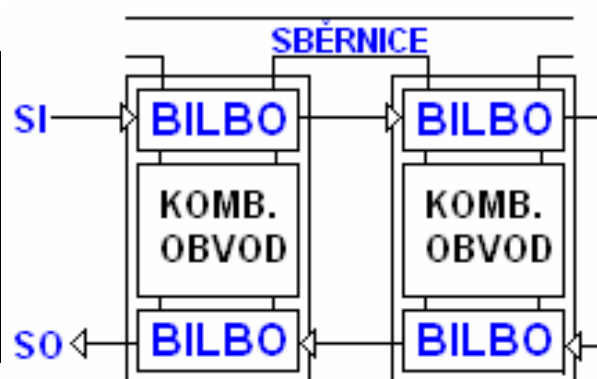


POUŽITO U
180386:
testování PLA,
řídící ROM,
adresář
stránek paměti
a pole registrů
LZPR 12 ÷ 87
délka
Pokrytí > 98%

POUŽITÍ REGISTRŮ BILBO $\in$ B.
 MOŽNOSTI ÚPLNÉ INTEGRACE
 DIAGNOSTICKÝCH PROSTŘEDKŮ DO
 STRUKTURY TESTOVANÉ JEDNOTKY A
 VYUŽITÍ I VE FUNKČNÍM REŽIMU
 Bult – In Logic Block Observation



B_1	B_2	PRACOVNÍ REŽIM
1	1	Paralelní zápis
0	1	Nulování
0	0	Posuvný registr
1	0	Generátor zbytku

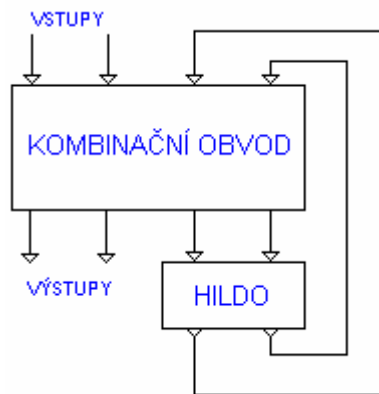


V REŽIMU GENERÁTOR ZBYTKU PRO
 AUTONOMNÍ DIAGNOSTIKU

KOMBINOVÁNÍ S VNĚJŠÍ DIAGNOSTIKOU V ZÁJMU DETEKCE NEPOKRYTÝCH PORUCH GENERÁTOR TESTŮ HILDO

Higly Integrated Logic Design Observer

SPOJENÍ GENERÁTORU TESTU A
PŘÍZNAK ANALYZÁTRU DO JEDNOHO
REGISTRU



POSTATOU JE **SERIOVĚ PARALELNÍ
PŘÍZNAKOVÝ ANALYZÁTOR**

ODEZVY VKLÁDAJÍ V KAŽDÉM TAKTU
NOVÝ POČÁTEČNÍ STAV $\Rightarrow$

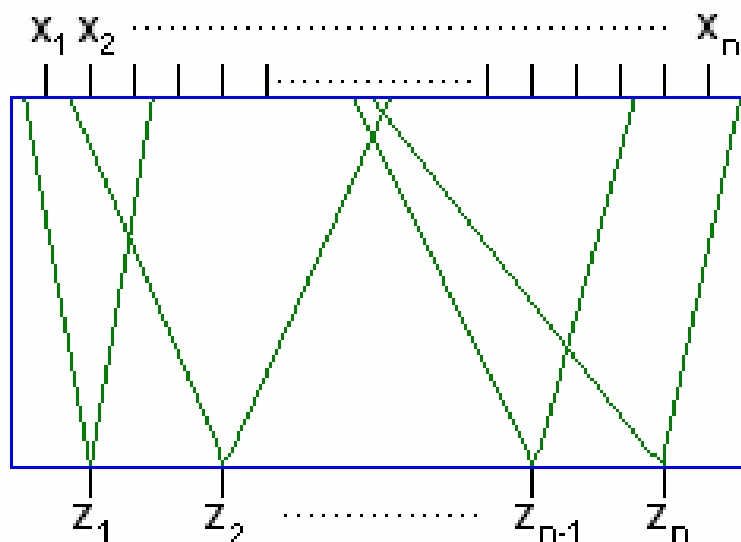
nedosáhneme úplného testu

REŽIM:

1. takt: GENEROVÁNÍ 1 KROKU TESTU
A PŘIJETÍ ODEZVY NA PARALELNÍ
VSTUPY A PŘÍČTENÍ MODULO 2 K
DOSAVADNÍMU OBSAHU REGISTRU
2. takt: POSUN O JEDNO MÍSTO VPRAVO

GENEROVÁNÍ PSEUDOTRIVIÁLNÍCH TESTŮ

KUŽEL, ODDĚLENÉ TESTOVACÍ JEDNOTKY
KUŽELŮ



1	2	3	4
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

KUŽEL

ŠÍŘKA KUŽELE r_i (i vstupů)

Oddělené testování jednotlivých kuželů

Triviální test K. O. – všechny poruchy kromě změny kombinačního chování na sekvenční

ÚPLNÝ TEST VŠECH KUŽELŮ POKRYJE
VŠECHNY PORUCHY OBVODU JAKO
CELKU

STRUKTURNÍ PSEUDOTRIVIÁLNÍ TESTY

n vstupů $\Rightarrow$ triviální test 2^n kroků

Př.: $n = 20$ T.T. 1048576 kroků

předpoklad: $m = 10$ výstupů

kužely: 3, 4, 4, 4, 5, 6, 6, 7, 8, 10 bitů

$\sum k = 57L = 8 + 16 + 16 + \dots + 1024 = 1624$

16. BOUNDARY SCAN (PROVĚŘOVÁNÍ ROZHRANÍ)

PROVĚŘOVÁNÍ REGISTRŮ (Shift reg. scan)

LSSD

PROVĚŘOVÁNÍ S LIBOVOLNÝM PŘÍSTUPEM

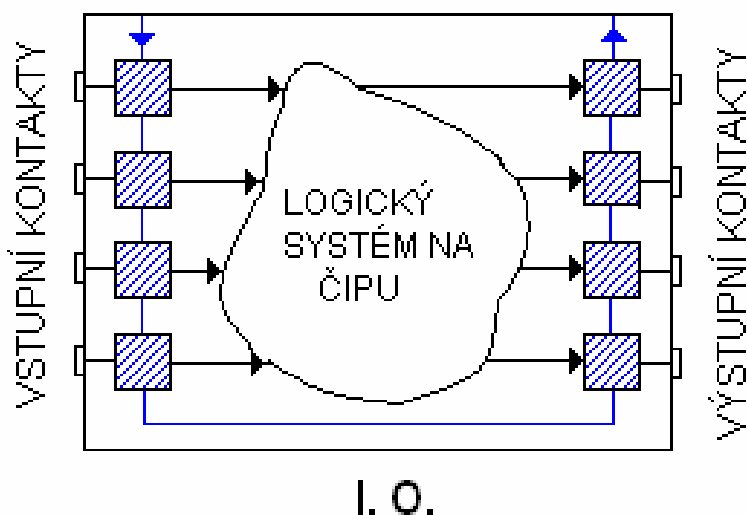
(Random Access Scan)

DÍLČÍ PROVĚŘOVÁNÍ (Partial Scan)

OBTÍŽNĚ PŘÍSTUPNÁ MÍSTA – PŘES
ŘETĚZCE POSUVNÝCH REGISTRŮ

BOUNDARY SCAN

METODA POUŽITELNÁ PRO IO,
vícečipové moduly a osazené desky



ANSI / IEEE Std

1149.1 1990

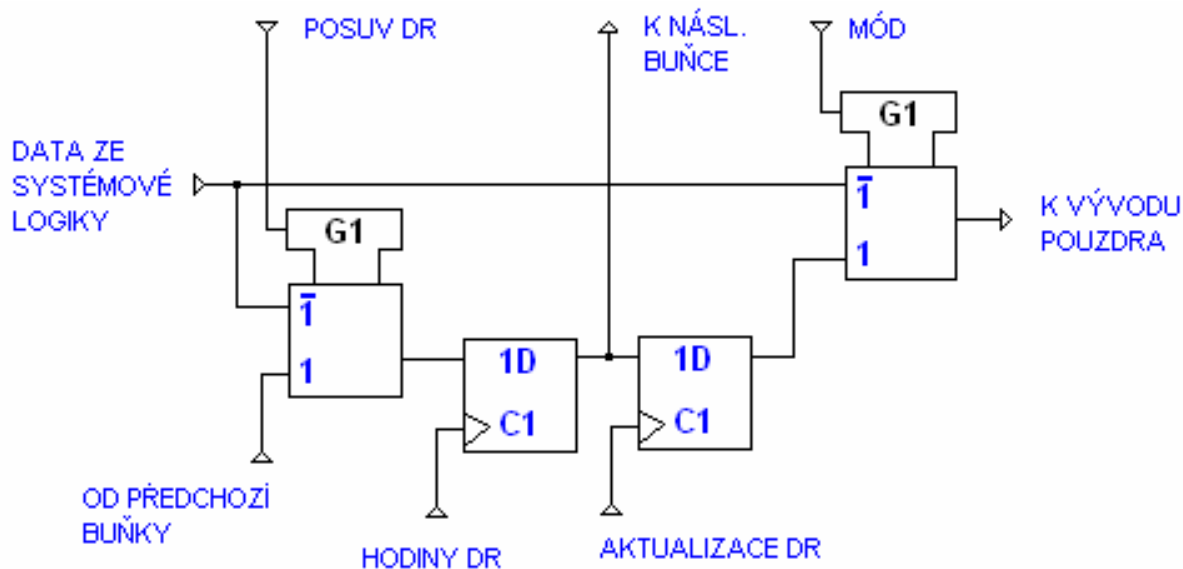
BUŇKY B. S. A

CESTA

PROVĚŘOVÁNÍ

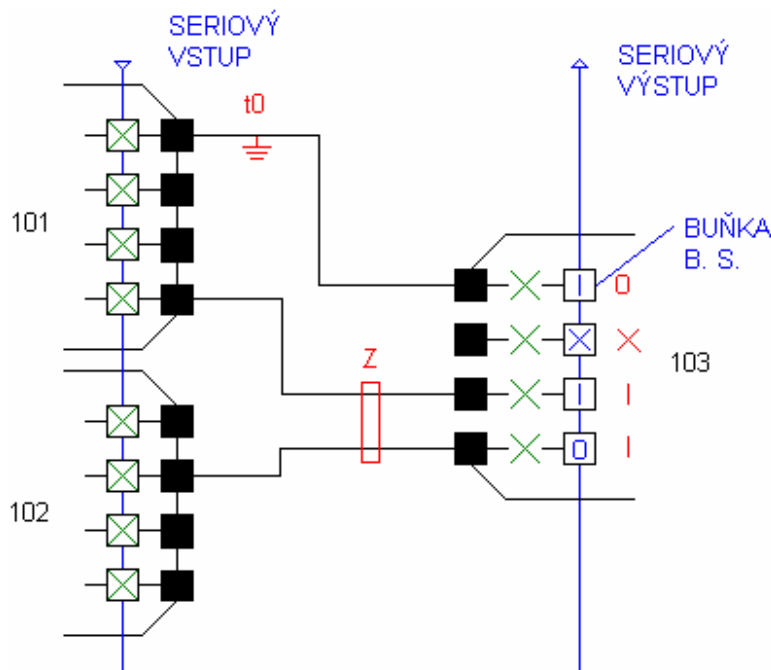
ROZHRANÍ

STRUKTURA BUŇKY B. S.



ŘÍZENÍ SIGNÁLEM TEST / NORMAL (T=I)

TEST PROPOJENÍ

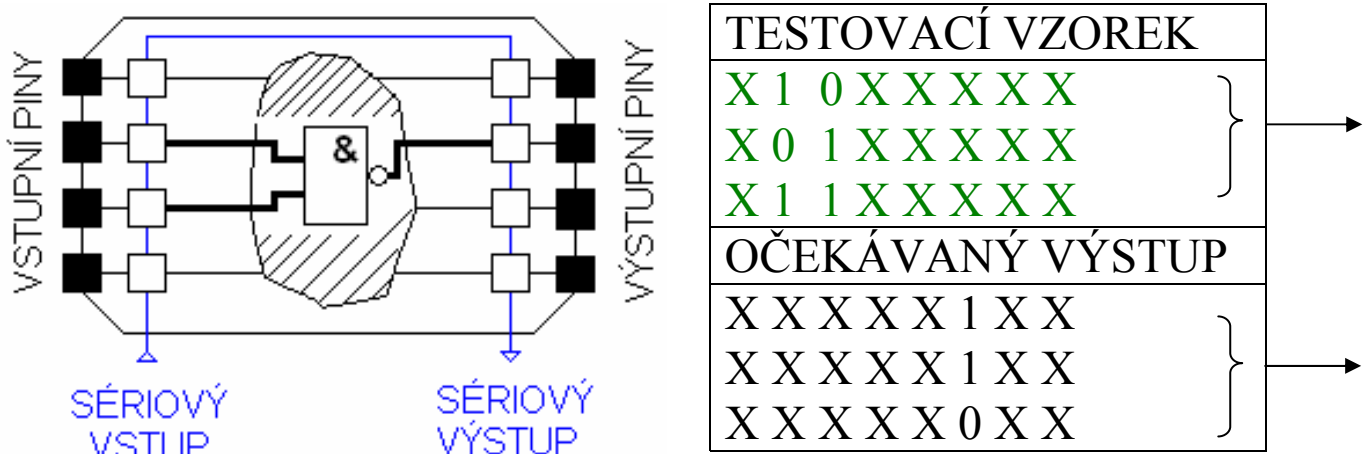


TESTOVACÍ VZOREK															
X	1	X	1	X	0	X	X	X	X	X	X	X	X	X	X
X	0	X	0	X	1	X	X	X	X	X	X	X	X	X	X
PŘEDPOKLÁDANÁ ODEZVA															
X	X	X	X	X	X	X	X	X	X	0	1	X	1	X	X
X	X	X	X	X	X	X	X	X	X	1	0	X	0	X	X
SKUTEČNÁ ODEZVA															
X	X	X	X	X	X	X	X	X	X	1	1	X	0	X	X
X	X	X	X	X	X	X	X	X	X	1	1	X	0	X	X

Shift / Load = 0

Shift / Load = 1

TEST ČIPU



1. VSUNUTÍ STIMULU DO BUŇEK S/L = 1
2. ULOŽENÍ DO BUŇKY S/L = 0
3. POSUVY K VÝSTUPU (PŘEZKOUŠENÍ)
S/L = 1

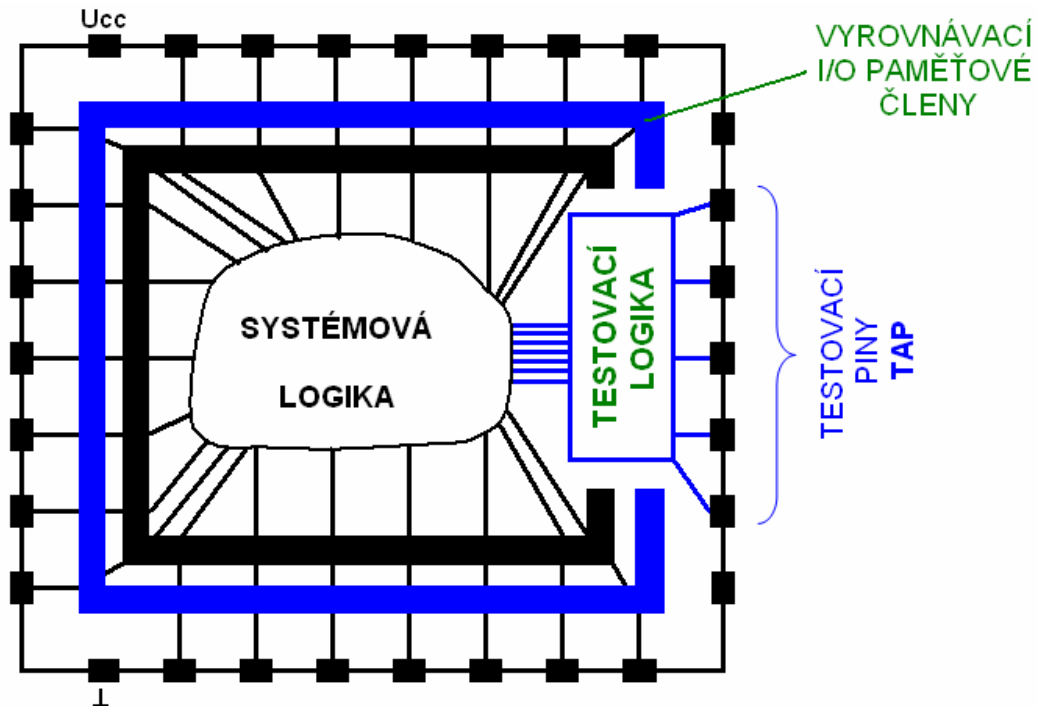
VÝHODY

- ODDĚLUJE PROBLÉM TESTU ČIPU A OSAZENÉ DESKY
- NETŘEBA PODROBNÝCH ÚDAJŮ O ČIPECH
- LZE SLADIT TEST CÍLOVÉHO ČIPU A JEHO OKOLÍ

DŮVODY VZNIKU

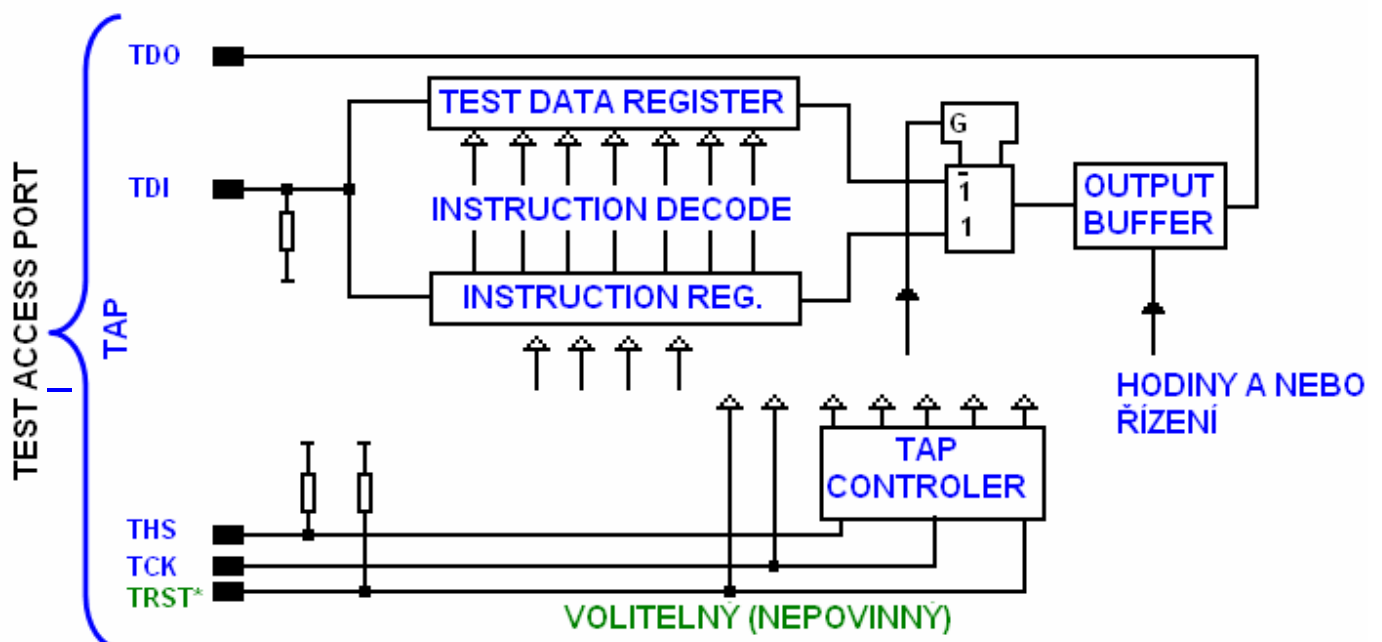
- VZRŮSTAJÍCÍ SLOŽITOST IO A OSAZENÝCH DESEK
- ROZVOJ MINIATURIZACE $\Rightarrow$ PRUDKÝ RŮST HUSTOTY SOUČÁSTÍ NA DESCE

STRUKTURA ČIPU DLE NORMY ANSI/IEEE Std 1149.1

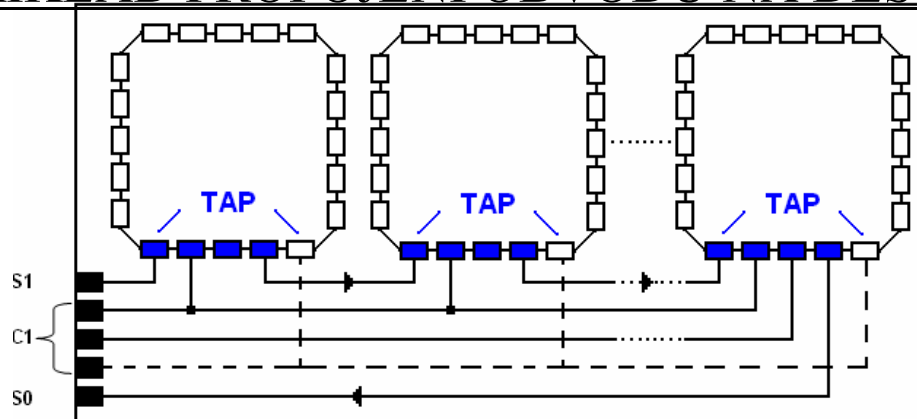


ODDĚLENÍ FUNKCÍ TESTOVACÍ A
SYSTÉMOVÉ LOGIKY
SDÍLENÍ NĚKTERÝCH OBVODŮ
(např. registr systémové logiky může mít mód
BILBO)

ARCHITEKTURA TESTOVACÍ LOGIKY



PŘÍKLAD PROPOJENÍ OBVODŮ NA DESCE



TCK (Test Clock Input) – TAKTOVÁNÍ TESTU

TMS (Test Mode Select Input) – VÝBĚR TESTOVACÍHO MÓDU

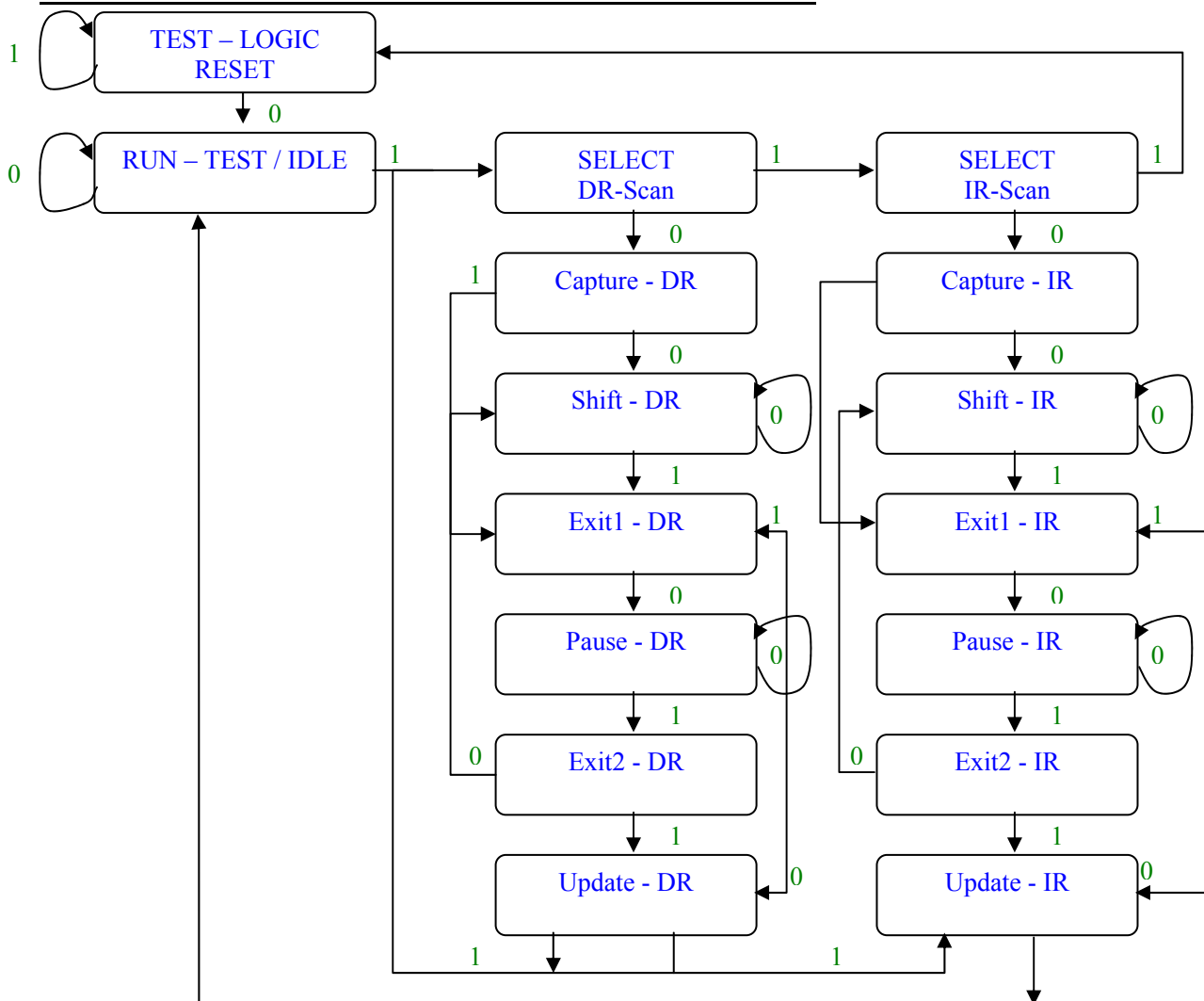
TDI (Test Data Input) – VSTUP DAT TESTU

TDO (Test Data Output) – VÝSTUP DAT TESTU

TRST (Test Reset Input) – VSTUP PRO RESET

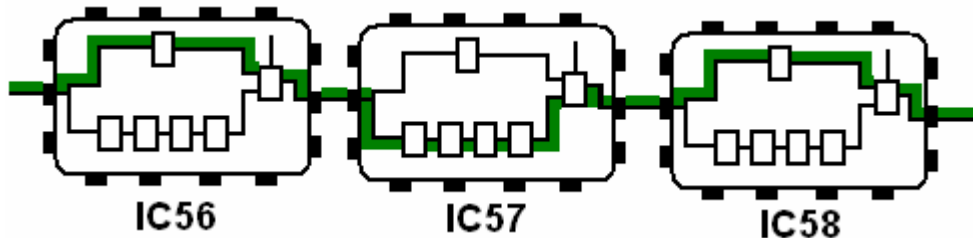
TESTU – nepovinný

STAVOVÝ DIAGRAM ŘÍZENÍ TAP



INSTRUKCE:

BYPASS m



IDCODE o – identifikační registr součásti
vybavení ve stavu Test – Logic – Reset

USERCODE o – rozlišení uživatelsky
programované součásti

**ROZDÍLY V NÁVRHU PINU OVLIVNĚNÉ
CHARAKTEREM PINU**
VSTUP, VÝSTUP, 3-STAVOVÝ, OBOUSMĚRNÝ

SAMPLE / PRELOAD m – zachycení snímku
(vzorku) funkčního provozu k bližšímu
prozkoumání, možnost umístit
připravený vzorek do výstupního
bufferu buňky B.S.

EXTEST m – test propojení na desce

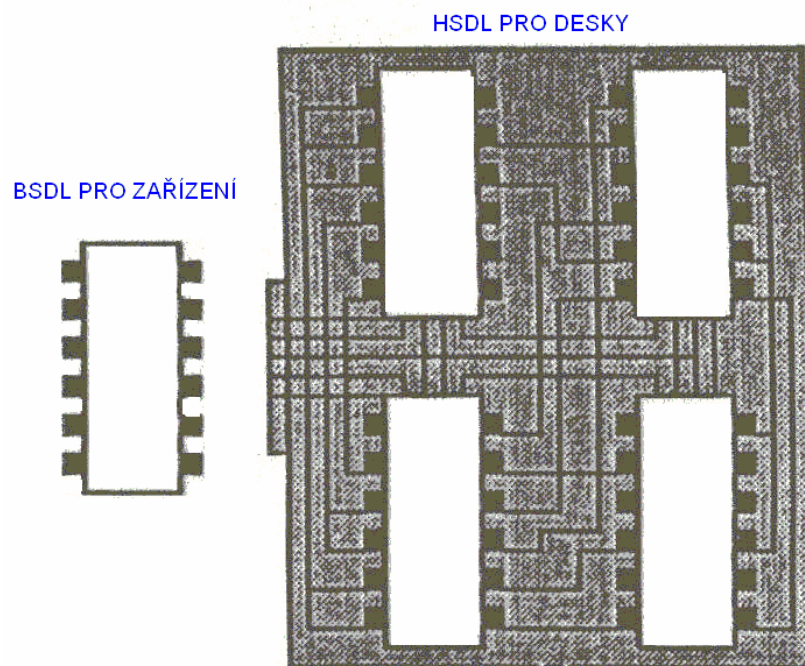
INTEST o – testování systémové logiky čipu

RUNBIST m – spuštění vestavěného testu bez
účasti externího zkoušeče

Standards podpory a vývoje

BSDL - Boundary-Scan Description Language
- jazyk popisující topologii a charakteristiky ANSI/IEEE 1149.1 obvodu navrženého v zařízení

HSDL - Hierarchical-Scan Description Language
- jazyk popisující topologii a charakteristiky ANSI/IEEE 1149.1 zařízení navrženého na desce



SVF – Serial Vektor Format – test vektorů popisující ANSI/IEEE 1149.1 transakce v čase testu TAP (Test Access Port) a jeho chování

BSDL

- Boundary Scan Description Language
- Navržen firmou HP jako standardní jazyk pro zařízení utvořený podle IEEE-1149.1
- Určený pro tyto uživatele:
 - o vývojář testů
 - o výrobce zařízení
 - o ASIC designer
 - o ATE výrobce
- BSDL je část VHDL (VHSIC Hardware Description Language)
- Mandatory-závazné části popsané ve standardu 1149.1 BSDL neobsahuje
- HP Boundary Scan Tutorial a BSDL průvodce odkazy

17. ZABEZPEČENÍ PROTI PORUCHÁM

Def.: OBVOD Z JE PRO MNOŽINU VSTUPNÍCH VEKTORŮ X BEZPEČNÝ PROTI PORUCHÁM Z MNOŽINY F, JESTLIŽE PRO KAŽDÝ VSTUPNÍ VEKTOR $\vec{X} \in X$ A KAŽDOU PORUCHU $f \in F$ PLATÍ BUĎ

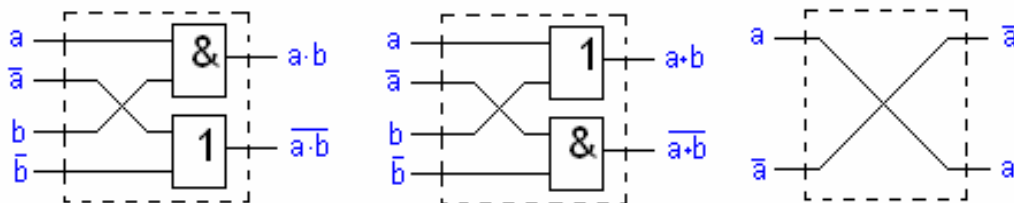
$$Z(\vec{X}, f) \notin Z$$

NEBO

$$Z(\vec{X}, f) = Z(\vec{X})$$

OBVODY ZABEZPEČENÉ VŮČI PORUCHÁM
ZDVOJENÍ

KONTROLA INVERZNÍ FUNKCÍ
DVOJDRÁTOVÁ LOGIKA



KONTROLA PLATNOSTI KÓDŮ VÝSTUPŮ

bezpečnostní kódování výstupu

hlídač parity kombinačního obvodu

hlídač parity na vnitřní proměnné sek. obvodu

POUŽITÍ OBECNÉHO DETEKČNÍHO KÓDU

ÚPLNĚ SAMOČINNĚ KONTROLOVANÉ OBVOD

OBVOD ZABEZPEČENÝ PROTI PORUCHÁM

(viz. Definice) A SOUČASNĚ SAMOČINNĚ

TESTOVANÝ

OBVOD REAGUJAE NA SVÉ PORUCHY DVĚMA ZPŮSOBY:

- porucha se na výstupu neprojeví
- na výstupu se objeví nekódové slovo

ÚPLNĚ SAMOČINNĚ KONTROLOVANÉ
OBVODY NEPOTŘEBUJÍ PERIODICKOU
DIAGNOSTIKU – JEJICH TECHNICKÝ
STAV JE PRŮBĚŽNĚ SLEDOVÁN A
SIGNALIZOVÁN NA VÝSTUPU
PLATNOST VÝSTUPNÍHO KÓDU JE
KONTROLOVÁNA HLÍDAČEM

HLÍDAČE PARITY

HLÍDAČE KÓDU k Z $2k$

Realizace dvouúrovňovým obvodem
v součtovém nebo součinnovém tvaru

OSTATNÍ METODY ZABEZPEČENÍ

KONTROLNÍ VÝPOČET – HLÍDACÍ PROCESOR

HLÍDACÍ ČASOVAČ – watchdog timer –

- diagnostické hodiny
přerušení s žádostí o přerušení